

**Technische Unterlagen**

---

**PRISMA**

---

**DX 5**

---

**BA C 100**

Technische Unterlagen

---

PRISMA

---

DX 5

---

## Inhalt

## Seite

<b>A. Zielsetzung</b> . . . . .	5
<b>B. Technisches Konzept</b> . . . . .	5
<b>C. Schaltbilder und Erläuterungen</b> . . . . .	6
I. Netzteil PS 50 . . . . .	6
II. Taster MX 10 / MX 11 . . . . .	9
III. Bedienfelder CB 50 und CB 51 . . . . .	12
IV. Anschlußplatine CB 52 . . . . .	16
V. Master MM 50 . . . . .	18
VI. Slave SLM 50 . . . . .	27
VII. Audioplatine AF 50 . . . . .	31
VIII. Digitalhall DH 11 . . . . .	35
IX. Rhythmus CX 7 . . . . .	39
X. Endstufe PA 50 . . . . .	41
XI. Rhythmus CX 32 . . . . .	44
XII. Digitalhall DH 50 . . . . .	47
XIII. Mikrofonverstärker MP20 + MP 21 . . . . .	51

A. Zielsetzung ..... 2

B. Technisches Konzept ..... 2

C. Schaltung und Berechnungen ..... 8

    I. Netzteil PS 50 ..... 8

    II. Tastung MK 10 / BK 11 ..... 9

    III. Bodenschleife CB 50 und CB 51 ..... 12

    IV. Antriebsleistung CB 52 ..... 18

    V. Motor M100 ..... 18

    VI. Slave SLM 50 ..... 20

    VII. Audiolinse AF 50 ..... 31

    VIII. Digitaler OH 11 ..... 32

    IX. Rhythmus CK 7 ..... 39

    X. Endstufe PA 50 ..... 41

    XI. Rhythmus CK 36 ..... 44

    XII. Digitaler OH 50 ..... 47

    XIII. Mikrocontroller MSP 20 - MP 04 ..... 51

## A. Zielsetzung

Obwohl zum Aufbau nicht erforderlich, gehören die nachstehenden Technischen Unterlagen zur Standardausstattung der DX 5 - Bausätze. Sie vervollständigen damit das Bauanleitungspaket, helfen dem Fachmann im Service-Fall und bieten sicherlich auch dem interessierten Laien zumindest einen ersten

Einblick in die ausgeklügelte System-Elektronik.

Aus Gründen der Übersichtlichkeit haben wir die Gesamtschaltung auf mehrere Einzelschaltbilder - im wesentlichen auch den Platinen entsprechend - aufgeteilt.

## B. Technisches Konzept

### I. Die herkömmlichen Orgelsysteme

Um das neue WERSI-DX-Digitalorgel-Konzept besser einordnen zu können, seien kurz andere, gängige Orgelsysteme erklärt.

#### 1. Analog-Orgeln

Bei diesem Typ werden die Töne in Form von elektromagnetischen Schwingungen in einem Tongenerator erzeugt, über Manuale und Pedal mit mechanischer oder elektronischer Tastung ausgewählt, in Filterschaltungen klanglich entsprechend geformt, dem Endverstärker zugeführt und über Lautsprecher in hörbare Schwingungen umgesetzt.

Wie zu erkennen ist, bestimmt hier allein die Hardware (= Summe aller Bau- und Bedienteile) die Möglichkeiten eines solchen Instrumentes.

#### 2. Quasi - Digitalorgeln

Oft werden - vor allem in der Werbung - Orgeln als digital bezeichnet, die dieses Prädikat gar nicht verdienen. Sie besitzen in den Bereichen Tonerzeugung und elektronischer Tastung zwar digitale Unterstützung (z. B. serielle Datenübermittlung) mit komplexen IC-Bausteinen, verarbeiten und formen die Töne jedoch nach wie vor mit analogen Techniken.

#### 3. Digitalsysteme mit abgespeicherten Originalklängen

Digital gespeicherte Klänge sind - vor allem in der Musikelektronik - von den digitalen Synthesizern und digitalen Rhythmusgeräten her bekannt. Der genaue Klangverlauf jedes beliebigen Tones ganz gleich welcher Herkunft läßt sich digitalisieren und abspeichern, allerdings - mit vernünftigem Aufwand - nur für wenige

Einzeltöne.

Diese Originaltöne werden bei der Wiedergabe ausgelesen und dabei über die Taktfrequenz - die von der Manueltaste gesteuert wird - in die entsprechende Tonlage geschoben. Die Umsetzung erfolgt in dem sog. Digital - Analogwandler. Diese Töne klingen jedoch nur in der Nähe des Originalbereiches echt und werden, je weiter die Entfernung davon ist, mehr und mehr verfälscht, weil die Formanten nicht wie bei den meisten Originalinstrumenten konstant bleiben, sondern abhängig von der gespielten Tonhöhe über das ganze Manual mitlaufen.

### II. Das Advanced DX-System mit voll digitaler Tonerzeugung

Bei dieser Technik von WERSI werden alle Klangfarben von einem Multi-Prozessorsystem berechnet und über Digital-Analogumformer in elektroakustische Schwingungen umgesetzt. Das Prozessorsystem besteht aus

- einem Master-Prozessor, der für die gesamte Organisation, die Keyboard- und die Tasterabfrage zuständig ist,
- einem Co-Prozessor, der die Amplitudenverläufe aller Tonerzeugungseinheiten berechnet und ausgibt, und
- bis zu 16 Mikrocomputern, die eine Waveform, entsprechend mit der jeweiligen Frequenz-Hüllkurve moduliert, ausgeben. Die Waveform wird dabei mittels Fourier-Synthese aus bis zu 32 Harmonischen (Obertönen) berechnet und kann mitlaufend oder als Festformant ausgegeben werden.

Bei jedem angeschlagenen Ton werden eine oder mehrere Tonerzeugungseinheiten vom Masterprozessor mit Daten versorgt und beginnen dann selbständig und synchron mit dem Co-Prozessor, der die jeweilige Lautstärke bereitstellen muß, mit der Ausgabe des Klanges. Der Vorteil dieses Systems besteht darin, daß verschiedene Tonerzeugungsverfahren unabhängig von einer speziellen Hardware angewandt und durch den Start mehrerer Tonerzeugungseinheiten mehrere Sounds gleichzeitig ausgegeben werden können. Da hier lediglich die Daten, die verarbeitet werden, den Klang bestimmen, können ohne zusätzlichen Hardwareaufwand ständig neue Klangfarben in die Speicher geladen werden. Dies geschieht entweder über die

Programmierung des Gerätes selbst oder durch externe Medien wie z. B. Cartridges.

Für Anwender, die eine analoge Bedienung vorziehen, wurde zusätzlich ein digital steuerbares Filter integriert (24 dB/Oktave). Gleichzeitig sorgen drei Zeitverzögerungseinheiten für Effekte wie Rotor oder String.

Wie aus der Gegenüberstellung der verschiedenen Synthesizerkonzepte zu ersehen ist, bietet das Advanced DX-Konzept die komplexeste und flexibelste Art der Klangerzeugung.

## C. Schaltbilder und Erläuterungen

### I. Erläuterungen zum Netzteil PS 50

Das Netzteil PS 50 versorgt die Orgel mit den Spannungen 5 V (4 A) und  $\pm 15$  V (0, 5 A) und erzeugt beim Einschalten mit IC 2 einen Reset-Impuls.

Die  $\pm 15$  V sind mit den bekannten integrierten Spannungsreglern (IC 1 und IC 4) in konventioneller Weise aufgebaut.

Die Schaltung für die + 5 V sieht etwas komplizierter aus: IC 3 erhält an Pin 3 eine 2, 5-Volt-Referenzspannung (aus IC 2) und steuert mit seinem Ausgang den FET T 1 an. Durch die Gegenkopplung mit R 12 und R 14 wird ein Verstärkungsfaktor von 2 eingestellt, so daß sich am Netzteilausgang  $2, 5 \text{ V} \times 2 = 5 \text{ V}$  einstellen.

Über R 7 kann man eine von Ausgangsstrom des Netzteils abhängige Spannung messen, welche den als Komparator geschalteten zweiten Opamp von IC 3 ab

einem bestimmten Wert veranlaßt, seinen Ausgang auf - 15 V zu schalten. Über R 8 und D 3 wird dann die 2, 5 V-Referenz des ersten Opamp und darauf auch die Ausgangsspannung reduziert: diese Schaltung wirkt also als Überstromschutz. Der Thyristor in Verbindung mit dem Transistor Q 1 verhindert, daß die Ausgangsspannung über ca. 6 V ansteigen kann. Ist dies dennoch der Fall, zündet der Thyristor und schließt zum Schutz der angeschlossenen Baugruppen die Ausgangsspannung einfach kurz.

Diese im Grund sehr aufwendige Schaltung hat den Vorteil, daß am FET sehr wenig Leistung "verbraten" werden muß (Low-Drop-Regler).

Hinweis: Die 5 V-Regelschaltung arbeitet nur dann, wenn die  $\pm 15$  V (Versorgung von IC 3 !) tatsächlich anstehen.

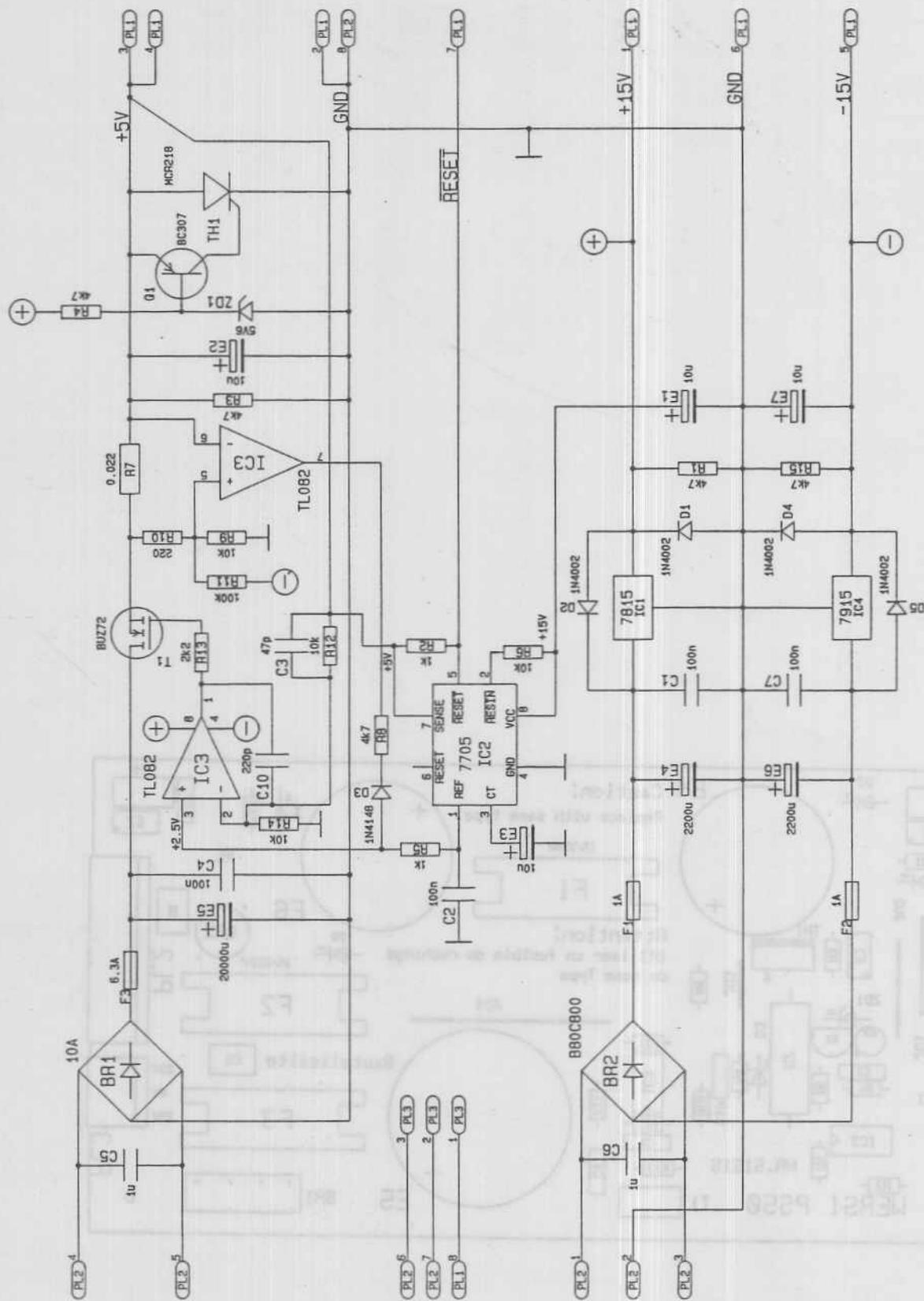


Abb. 1: Schaltbild der Platine PS 50

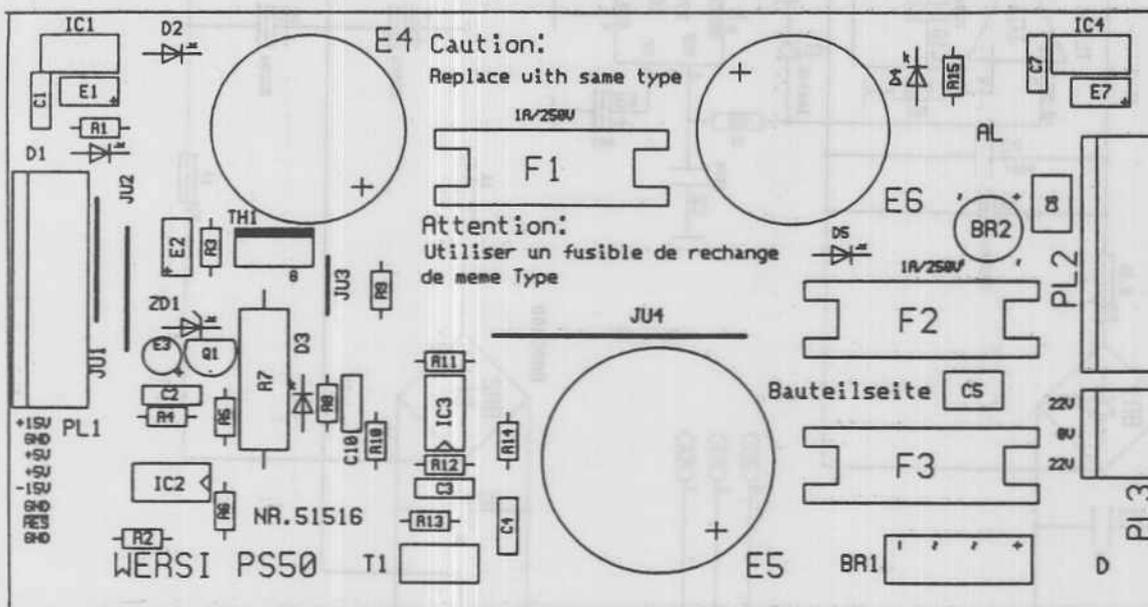


Abb. 2: Positionsdruck der Platine PS 50

## II. Erläuterungen zu den Platinen MX 10/MX 11

Die Manuale werden nicht dynamisch erfaßt, d. h. , die Tastenzustände werden ohne eine Zeitmessung vorzunehmen einfach abgefragt. Dabei wählt die Haupt-CPU über die Peripherie-Adressen PA 0 ... PA 2 eine Zeile "LINE" 0 ... 7 an (IC 2) und fragt anschließend die Spalten "ROW" 0 ... 7 über IC 1 ab. Eine gedrückte Taste wird durch eine logische 0 in der entsprechenden

Spalte erkannt. Nachdem nun nacheinander alle acht Zeilen abgefragt worden sind, hat die CPU ein Abbild aller gedrückten Tasten erhalten.

Die 13 Pedaltasten werden gleich miterfaßt, denn auf diese Art lassen sich ja 64 Tastenzustände abfragen.

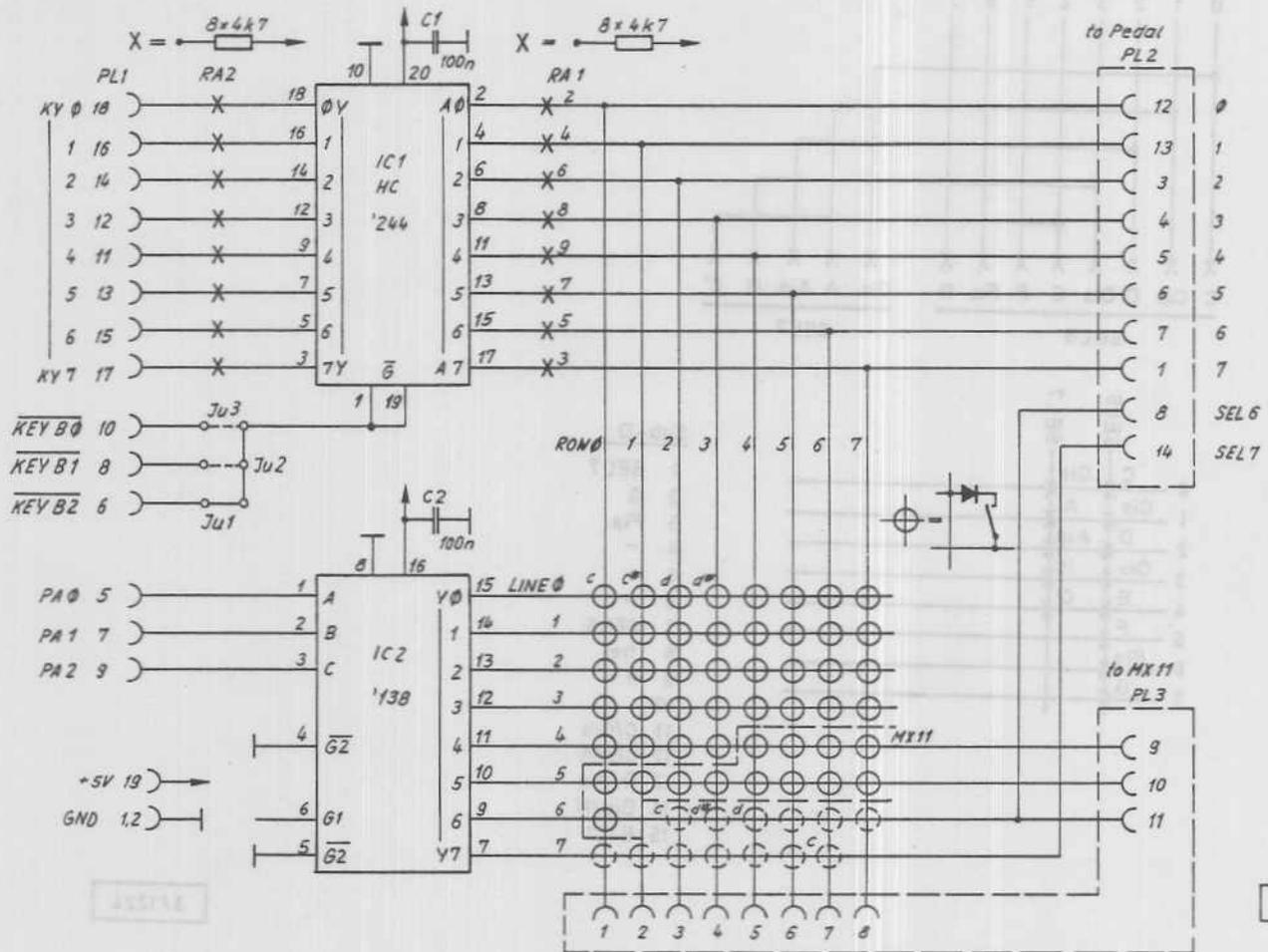
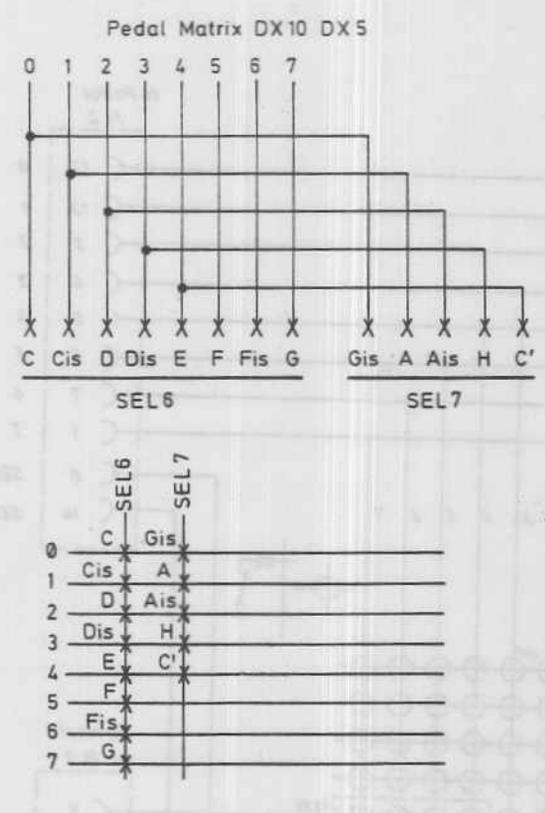


Abb. 3: Schaltbild der Platine MX 10

Die 10 Pedalstecker werden gleich mehrfach, denn auf diese Art kann sich ja die Tastenmatrix schalten. Keine scheint jedoch nur verbunden alle acht Zellen richtig werden sind, ist die CPU ein Abbild aller geschalteten Tasten werden.

Die Tasten werden nicht dynamisch, wie bei den Tastenmatrix werden ohne eine Schaltung vorzunehmen einfach abgefragt. Dabei wird die Haupt-CPU über die Portadresse PA 0 ... PA 2 eine Taste "LH" 0 ... 7 an (0) 20 und fragt anschließend die System "PW" 0 ... 7 über 21 an. Eine Taste wird durch eine logische 0 in der entsprechenden



- Sub-D:
- 1 SEL7
  - 2 G
  - 3 Fis
  - 4 -
  - 5 -
  - 6 -
  - 7 SEL6
  - 8 frei
  - 9 F
  - 10
  - 11 C/Gis
  - 12 Cis/A
  - 13 D/Ais
  - 14 Dis/H
  - 15 E/C'

3/1224

Abb. 4: Schaltbild der Pedalmatrix auf MX 10

III. Erläuterungen zu den Platinen C1 30 und 31  
(Bodenplan)

1. Die Heizung und Ausgabe der LED-Platinen

Die Ausgabe aller LEDs erfolgt in 4 Gruppen zu je 10 Elementen. Jede Gruppe enthält wieder die 10 Elemente für jedes Element, aber die Gruppen werden parallel bedient, so daß nach 10 Clock-Zyklen alle 40 LEDs ihren logischen Zustand erhalten haben. Die Gruppen sind jeweils mit zwei 8-Bit-Seriell-Parallel-Convertoren ausgestattet. Ein 8-Bit-Seriell-Parallel-Convertor der 4-Gruppe, Pin 31 bis 34, ist der zentrale Bestandteil der Platinen. Die Platinen sind 32-Bit breit.

Die Testanordnung für die Komponenten A2-Behälter werden wie die Gruppe 1 behandelt, die Gruppe 2 wird in der gleichen Weise getestet, so wie die Gruppe 3 und 4. Die Testanordnung für die Gruppe 1 ist in der Abbildung 5 dargestellt. Die Testanordnung für die Gruppe 2 ist in der Abbildung 6 dargestellt. Die Testanordnung für die Gruppe 3 ist in der Abbildung 7 dargestellt. Die Testanordnung für die Gruppe 4 ist in der Abbildung 8 dargestellt.

Die Tests der Platinen mit Pin 31 bis 34 sind in der Abbildung 9 dargestellt. Die Tests der Platinen mit Pin 35 bis 38 sind in der Abbildung 10 dargestellt. Die Tests der Platinen mit Pin 39 bis 42 sind in der Abbildung 11 dargestellt. Die Tests der Platinen mit Pin 43 bis 46 sind in der Abbildung 12 dargestellt.

Testanordnung für die Platinen C1 30 und 31. Die Platinen sind 32-Bit breit. Die Tests der Platinen mit Pin 31 bis 34 sind in der Abbildung 9 dargestellt. Die Tests der Platinen mit Pin 35 bis 38 sind in der Abbildung 10 dargestellt. Die Tests der Platinen mit Pin 39 bis 42 sind in der Abbildung 11 dargestellt. Die Tests der Platinen mit Pin 43 bis 46 sind in der Abbildung 12 dargestellt.

2. Die Gruppe 1

Die Tests der Platinen mit Pin 31 bis 34 sind in der Abbildung 9 dargestellt.

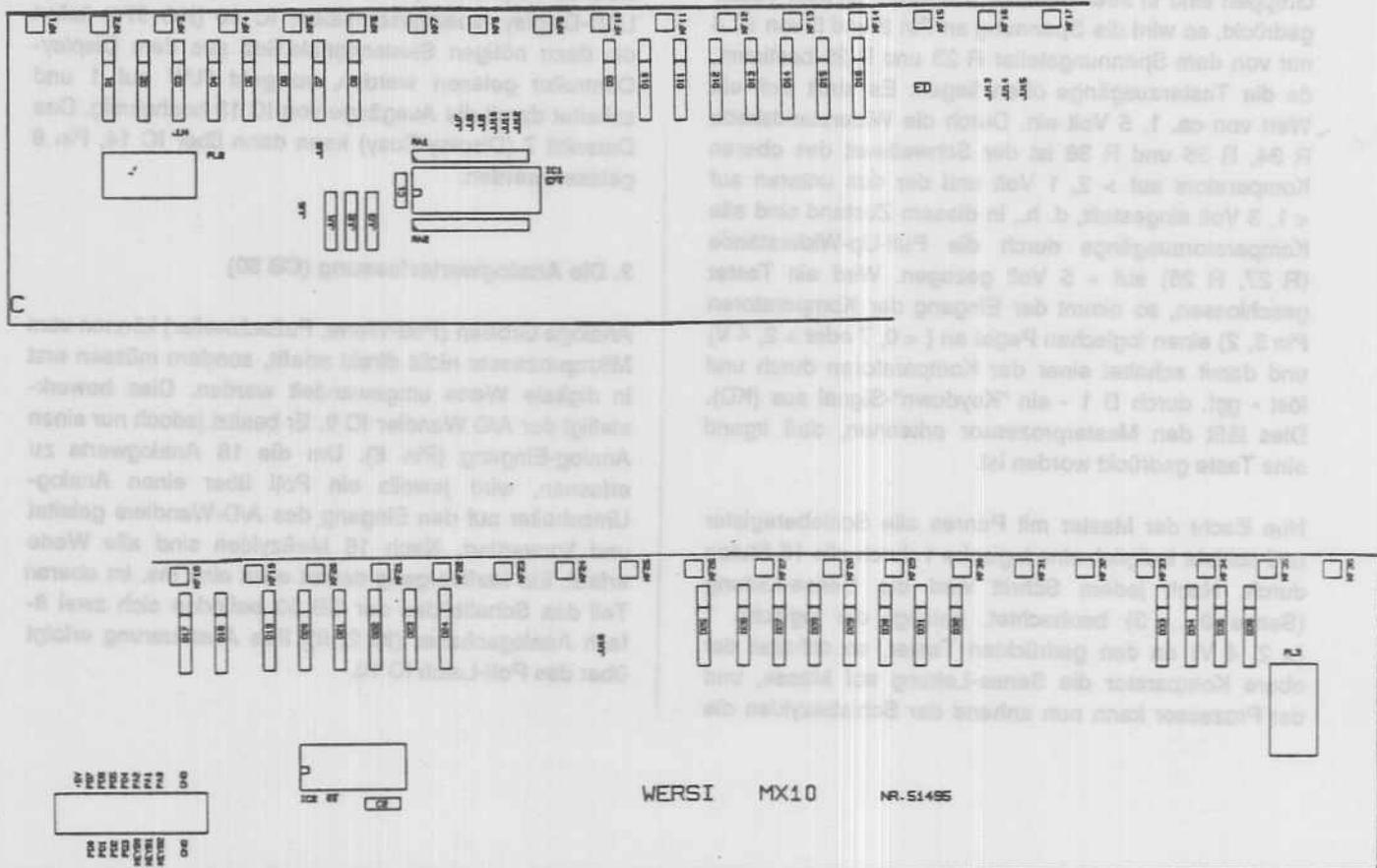


Abb. 5: Positionenplan der Platine MX 10

### III. Erläuterungen zu den Platinen CB 50 und 51 (Bedienfelder)

#### 1. Die Erfassung und Ausgabe der LED-Taster

Die Ausgabe aller LEDs erfolgt in 4 Gruppen zu je 16 Elementen. Jede Gruppe erhält seriell die Information für jedes Element, aber alle Gruppen werden parallel bedient, so daß nach 16 Clock-Zyklen alle 64 LEDs ihren logischen Zustand erhalten haben. Die Gruppen sind jeweils mit zwei 8-Bit-Seriell-In/parallel-Out-Schieberegistern realisiert. PA 0 ... PA 3 sind die Datensignale der 4 Gruppen, Panck ist der serielle Schiebektakt, mit Panres können alle Bausteine auf 0 gesetzt werden.

Die Tastenerkennung läuft über Komparatoren. Als Beispiel wollen wir die Gruppe 1 betrachten, alle übrigen Gruppen sind in ihrer Funktion identisch. Ist kein Taster gedrückt, so wird die Spannung an Pin 2 und 5 von IC 4 nur von dem Spannungsteiler R 23 und R 25 bestimmt, da die Tasterausgänge offen liegen. Es stellt sich ein Wert von ca. 1,5 Volt ein. Durch die Widerstandskette R 34, R 35 und R 36 ist der Schwellwert des oberen Komparators auf  $> 2,1$  Volt und der des unteren auf  $< 1,3$  Volt eingestellt, d. h., in diesem Zustand sind alle Komparatorausgänge durch die Pull-Up-Widerstände (R 27, R 28) auf +5 Volt gezogen. Wird ein Taster geschlossen, so nimmt der Eingang der Komparatoren Pin 5, 2 einen logischen Pegel an ( $< 0,7$  oder  $> 2,4$  V) und damit schaltet einer der Komparatoren durch und löst - ggf. durch D 1 - ein "Keydown"-Signal aus (KD). Dies läßt den Masterprozessor erkennen, daß irgend eine Taste gedrückt worden ist.

Nun löscht der Master mit Panres alle Schieberegister und schiebt lediglich eine logische 1 durch alle 16 Stufen durch. Nach jedem Schritt wird die Sense-Leitung (Sense 0 ... 3) beobachtet, gelangt die logische 1 ( $> 2,4$  V) an den gedrückten Taster, so schaltet der obere Komparator die Sense-Leitung auf Masse, und der Prozessor kann nun anhand der Schiebezyklen die

Tastenummer erkennen. Diese Prozedur läuft für alle Gruppen parallel, so daß nach maximal 16 Schiebecycle der Taster und die Gruppe lokalisiert ist. Mit diesem Verfahren kann jedoch nur ein einzelner Tastendruck erkannt werden. Die Kennungssignale KD, Sense 0 ... 3 werden über den Eingangsport Panin (IC 14) von der CPU gelesen. Die seriellen Schiebedaten (PA 0 ... 3) werden in das PA-Latch (IC 10 auf MM 50) geschrieben.

#### 2. Das Display

Über IC 13 (HC 574) werden die Daten in das 16-stellige LCD-Display hineingeschrieben, IC 10 (HC 574) liefert die dazu nötigen Steuersignale. Soll aus dem Display-Controller gelesen werden, so geht R/W auf 1 und schaltet damit die Ausgänge von IC 13 hochohmig. Das Datenbit 7 (Display-Busy) kann dann über IC 14, Pin 8 gelesen werden.

#### 3. Die Analogwertenerfassung (CB 50)

Analoge Größen (Poti-Werte, Fußschweller) können vom Mikroprozessor nicht direkt erfaßt, sondern müssen erst in digitale Werte umgewandelt werden. Dies bewerkstelligt der A/D Wandler IC 9. Er besitzt jedoch nur einen Analog-Eingang (Pin 6). Um die 16 Analogwerte zu erfassen, wird jeweils ein Poti über einen Analog-Umschalter auf den Eingang des A/D-Wandlers geleitet und konvertiert. Nach 16 Meßzyklen sind alle Werte erfaßt. Ein Meßvorgang dauert etwa eine ms. Im oberen Teil des Schaltbildes der CB 50 befinden sich zwei 8-fach Analogschalter (IC 2, 8). Ihre Ansteuerung erfolgt über das Poti-Latch IC 10.



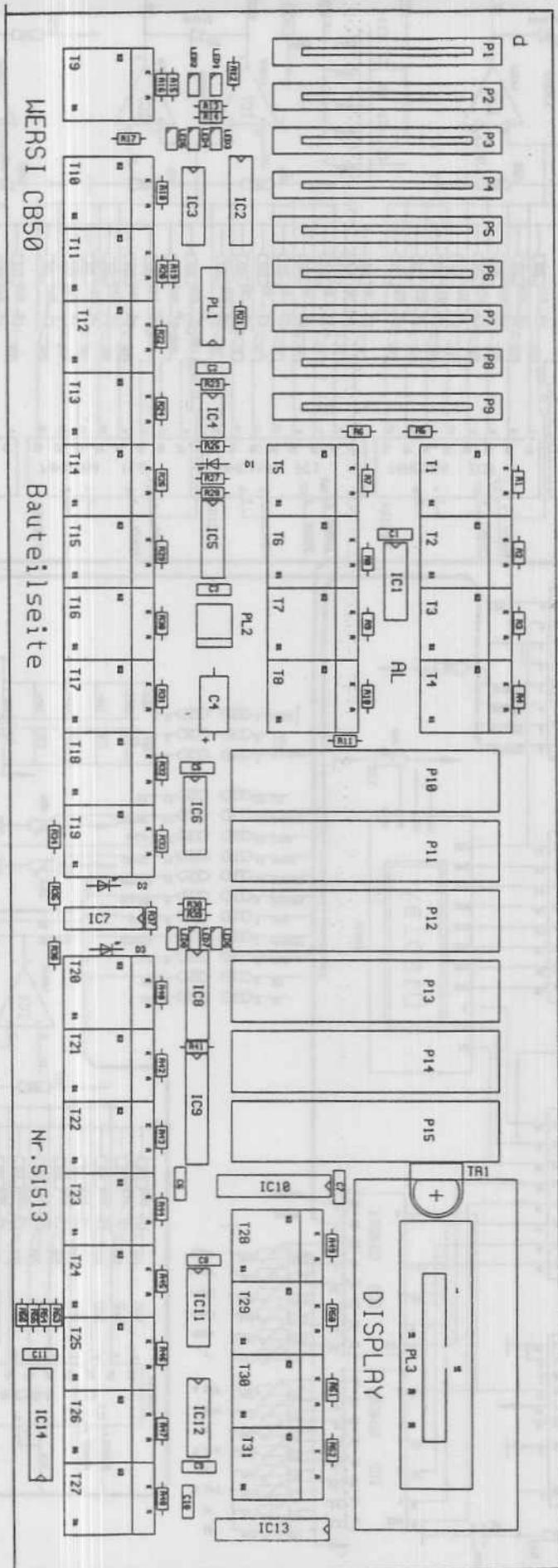


Abb. 7: Positionsdruck der Platine CB 50

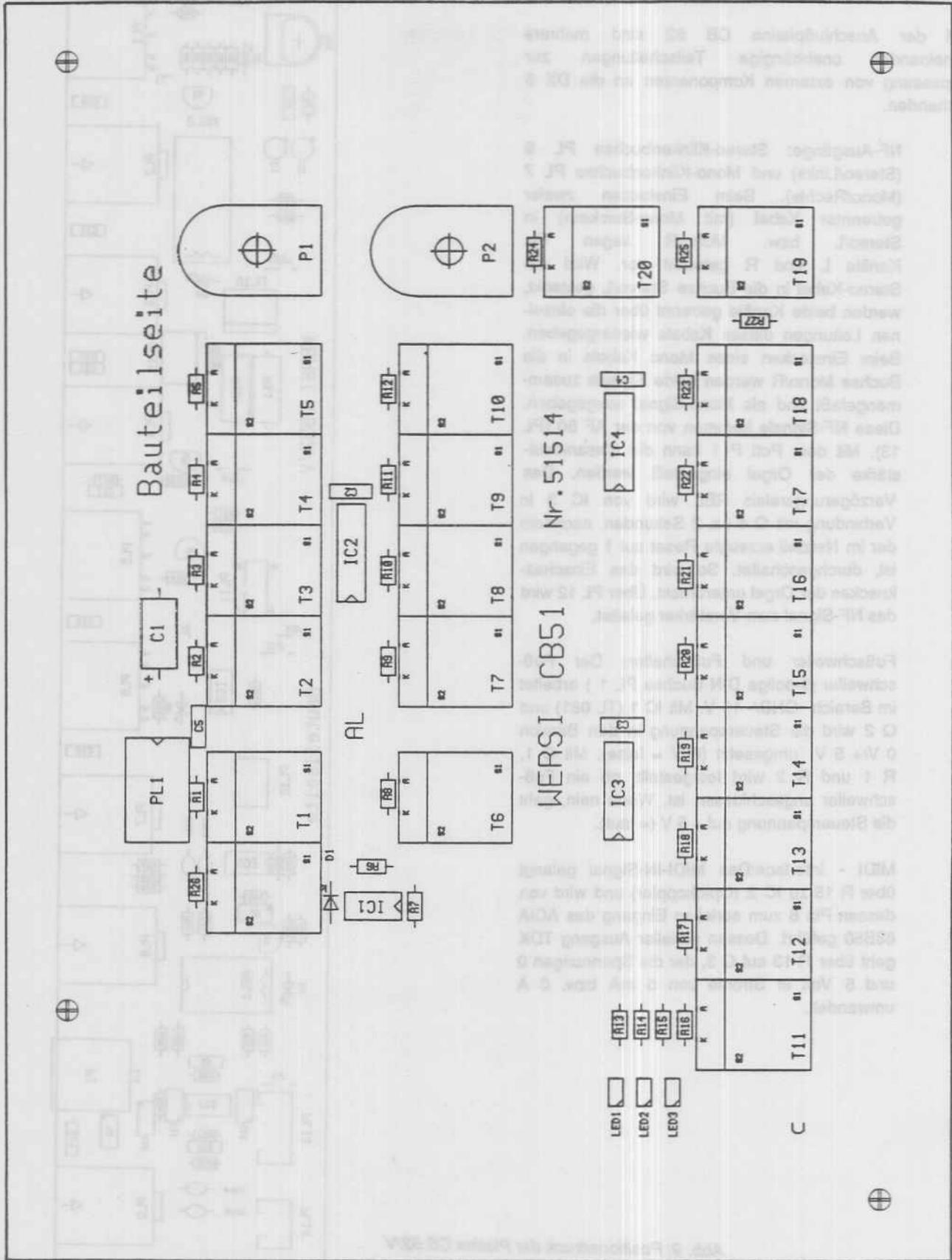


Abb. 8: Positionsdruck der Platine CB 51

#### IV. Erläuterungen zur Platine CB 52

Auf der Anschlußplatine CB 52 sind mehrere voneinander unabhängige Teilschaltungen zur Anpassung von externen Komponenten an die DX 5 vorhanden.

- NF-Ausgänge: Stereo-Klinkenbuchse PL 8 (Stereo/Links) und Mono-Klinkenbuchse PL 7 (Mono/Rechts). Beim Einstecken zweier getrennter Kabel (mit Mono-Steckern) in Stereo/L bzw. Mono/R liegen die Kanäle L und R getrennt vor. Wird ein Stereo-Kabel in die Buchse Stereo/L gesteckt, werden beide Kanäle getrennt über die einzelnen Leitungen dieses Kabels wiedergegeben. Beim Einstecken eines Mono Kabels in die Buchse Mono/R werden beide Signale zusammengefaßt und als Mono-Signal ausgegeben. Diese NF-Signale kommen von der AF 50 (PL 13). Mit dem Poti P 1 kann die Gesamtlautstärke der Orgel eingestellt werden. Das Verzögerungsrelais REL wird von IC 3 in Verbindung mit Q 4 ca. 2 Sekunden, nachdem der im Netzteil erzeugte Reset auf 1 gegangen ist, durchgeschaltet. So wird das Einschaltknacken der Orgel unterdrückt. Über PL 12 wird das NF-Signal zum Verstärker geleitet.
- Fußschweller und Fußschalter: Der Fußschweller (5-polige DIN-Buchse PL 1 ) arbeitet im Bereich GND/- 15 V. Mit IC 1 (TL 081) und Q 2 wird die Steuerspannung in den Bereich 0 V/+ 5 V umgesetzt (0 V = leise). Mit Q 1, R 1 und R 2 wird festgestellt, ob ein Fußschweller angeschlossen ist. Wenn nein, geht die Steuerspannung auf + 5 V (= laut).
- MIDI - Interface: Das MIDI-IN-Signal gelangt über R 15 zu IC 2 (Optokoppler) und wird von dessen Pin 6 zum seriellen Eingang des ACIA 68B50 geführt. Dessen serieller Ausgang TDX geht über R 13 auf Q 3, der die Spannungen 0 und 5 Volt in Ströme von 5 mA bzw. 0 A umwandelt.

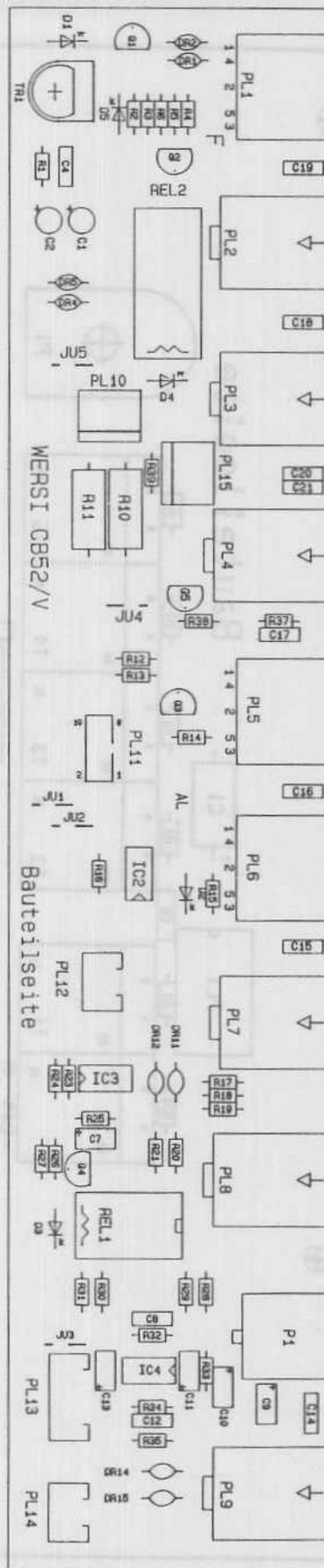


Abb. 9: Positionenplan der Platine CB 52/V

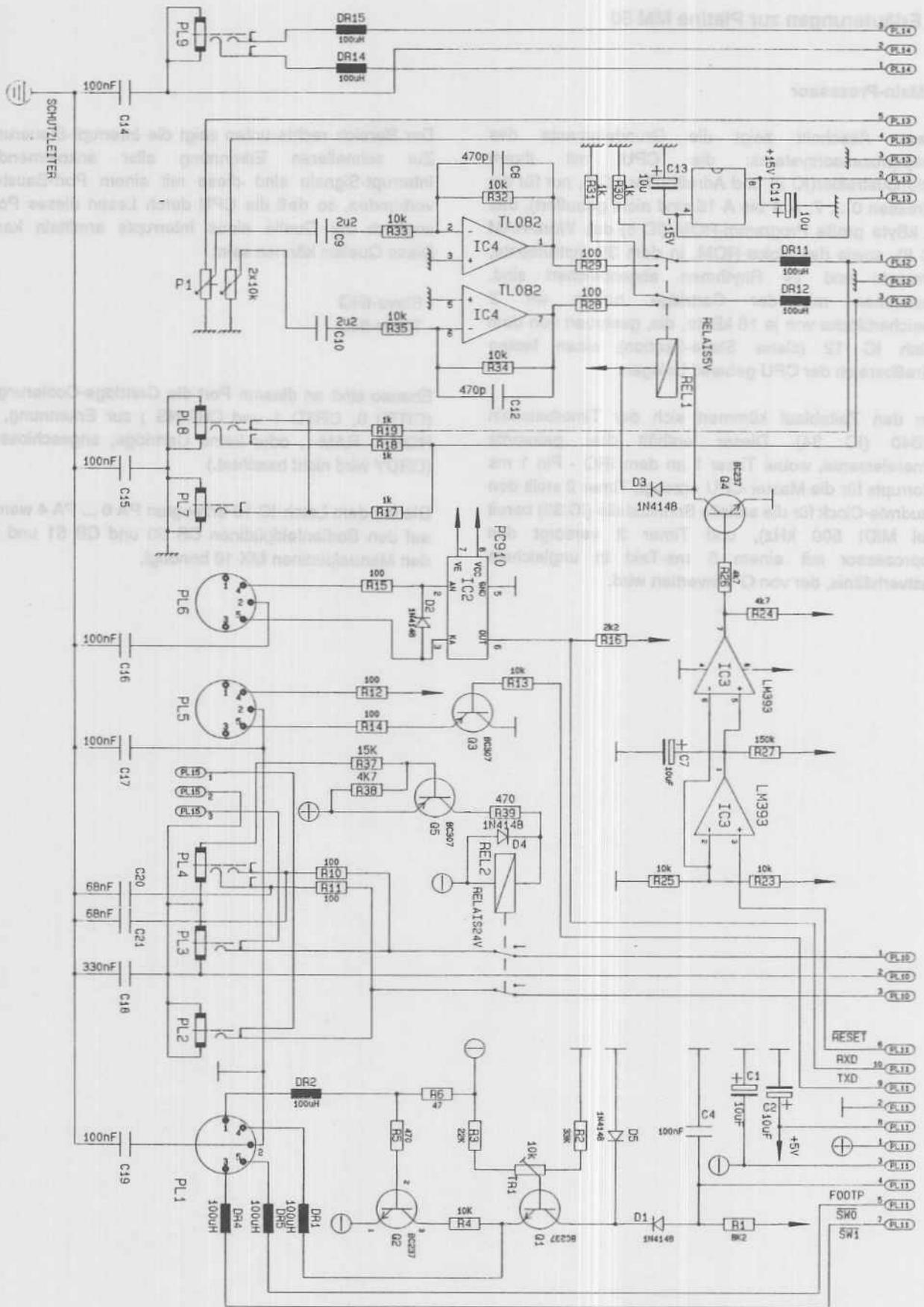


Abb. 10: Schaltbild der Platine CB 52

## V. Erläuterungen zur Platine MM 50

### 1. Main-Prozessor

Dieser Abschnitt zeigt die Grundelemente des Hauptprozessorsystems: die CPU mit ihrem Datenbustreiber (IC 2) und Adreßbuffer (IC 3, nur für die Adressen 0 ... 7; A 8 bis A 15 sind nicht gebuffert), das 32 kByte große Programm-ROM (IC 6) das Work-RAM (IC 8), sowie das Voice-ROM, in dem 30 Instrumente, 8 Presets und 24 Rhythmen abgespeichert sind. Zusammen mit der Cartridge haben wir 2 Speicherblöcke von je 16 kByte, die, gesteuert von dem Latch IC 12 (siehe Slave-Section) einen festen Adreßbereich der CPU gebankt belegen.

Um den Zeitablauf kümmert sich der Timerbaustein 68B40 (IC 34). Dieser enthält drei getrennte Timerelemente, wobei Timer 1 an dem IRQ - Pin 1 ms Interrupts für die Master-CPU erzeugt, Timer 2 stellt den Baudrate-Clock für die serielle Schnittstelle (IC 35) bereit (bei MIDI 500 kHz), und Timer 3 versorgt den Coprozessor mit einem 5 ms-Takt in ungleichem Tastverhältnis, der von Q 1 invertiert wird.

Der Bereich rechts unten zeigt die Interrupt-Steuerung. Zur schnelleren Erkennung aller ankommenden Interrupt-Signale sind diese mit einem Port-Baustein verbunden, so daß die CPU durch Lesen dieses Ports sogleich die Quelle eines Interrupts ermitteln kann. Diese Quellen können sein:

- Slave-IRQ
- Timer-IRQ

Ebenso sind an diesem Port die Cartridge-Codierungen (CRTD 0, CRTD 1 und CRTINS) zur Erkennung, ob ROM-, RAM-, oder keine Cartridge, angeschlossen. (DRDY wird nicht beachtet.)

Die mit dem Latch IC 10 erzeugten PA 0 ... PA 4 werden auf den Bedienfeldplatinen CB 50 und CB 51 und auf den Manualplatinen MX 10 benötigt.

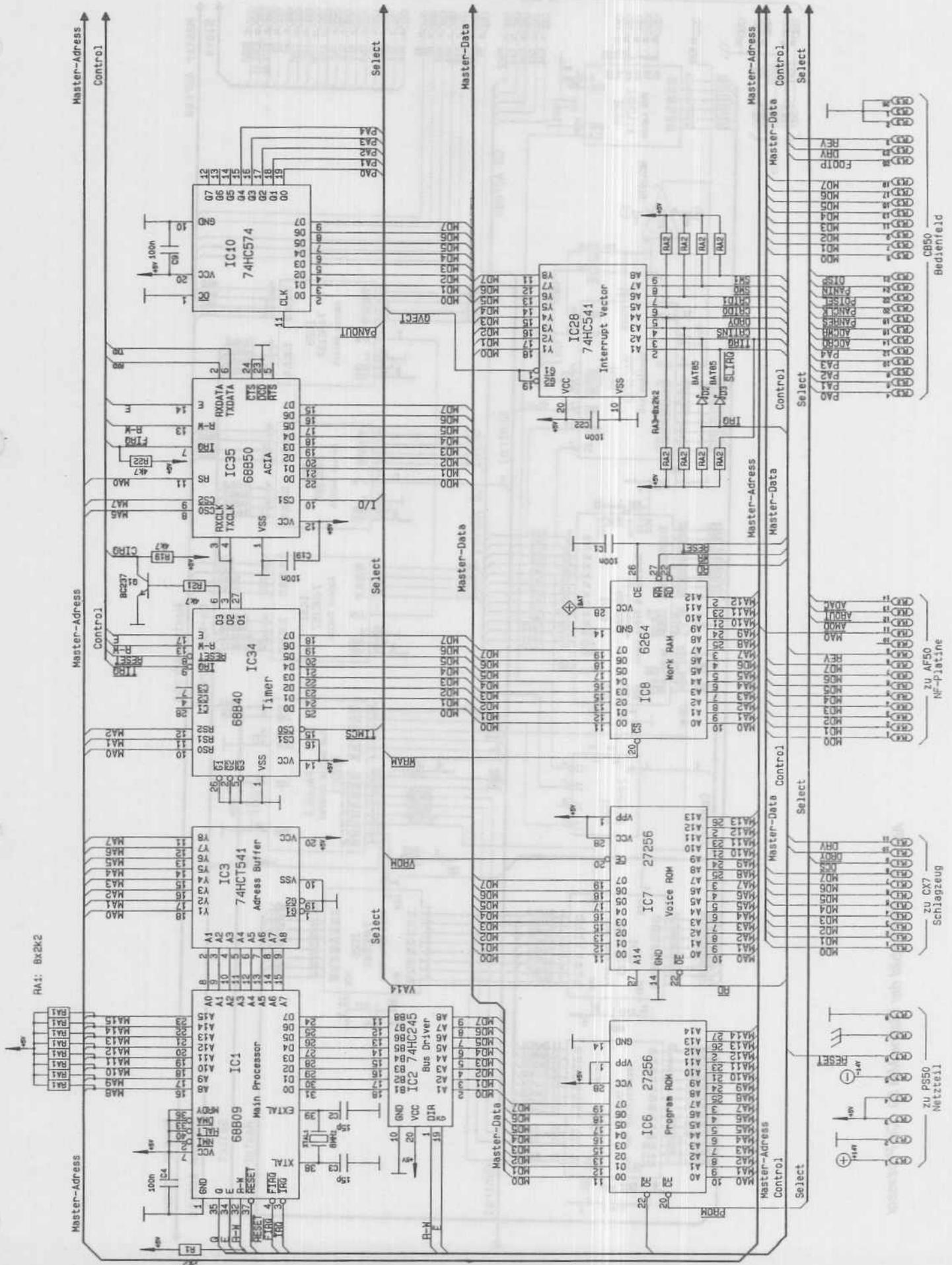


Abb. 11: Teilschaltbild der Platine MM 50 - Main Prozessor



## 2. Co - Prozessor

Der Co-Prozessor vom Typ 68b09 E (IC 30) wird gegenüber der Master-CPU 68B09 mit einem um einen halben Clockzyklus verschobenen Takt von 2 MHz versorgt (E, Q). Da die Prozessoren von dieser Familie die Eigenschaft haben, nur während einer Hälfte der Clockperiode auf den Systembus zuzugreifen, können beide Prozessoren "gleichzeitig" das Kommunikations-RAM (IC 33) lesen oder schreiben. Dazu wird im CPU-Takt (E) abwechselnd der jeweilige Adreß- und Datenbus auf das RAM geschaltet. Für den Adreßbus und die Steuersignale CS, WR und RD schalten dabei IC 24, 25 und 31 (HC 157) sowie das PAL MM 501 (IC 27) um, für

den Datenbus erledigen das IC 26 und IC 32.

Der Co-Prozessor berechnet für maximal 16 Slave die Amplitude und gibt diese synchron mit der Frequenzhüllkurve der betreffenden Stimme aus. Zur Hüllkurvenausgabe dient der D/A-Umformer DAC 1232 (IC 27), der die analoge Hüllkurve mit 12 Bit Genauigkeit und für 16 Kanäle gemultiplext mit einer Spannung zwischen 0 und - 10 V ausgibt. IC 38 dient zur Steuerung der auf den Slave-Platinen befindlichen Demultiplexer, um die Hüllkurvenspannung dem richtigen Slave zuzuführen.

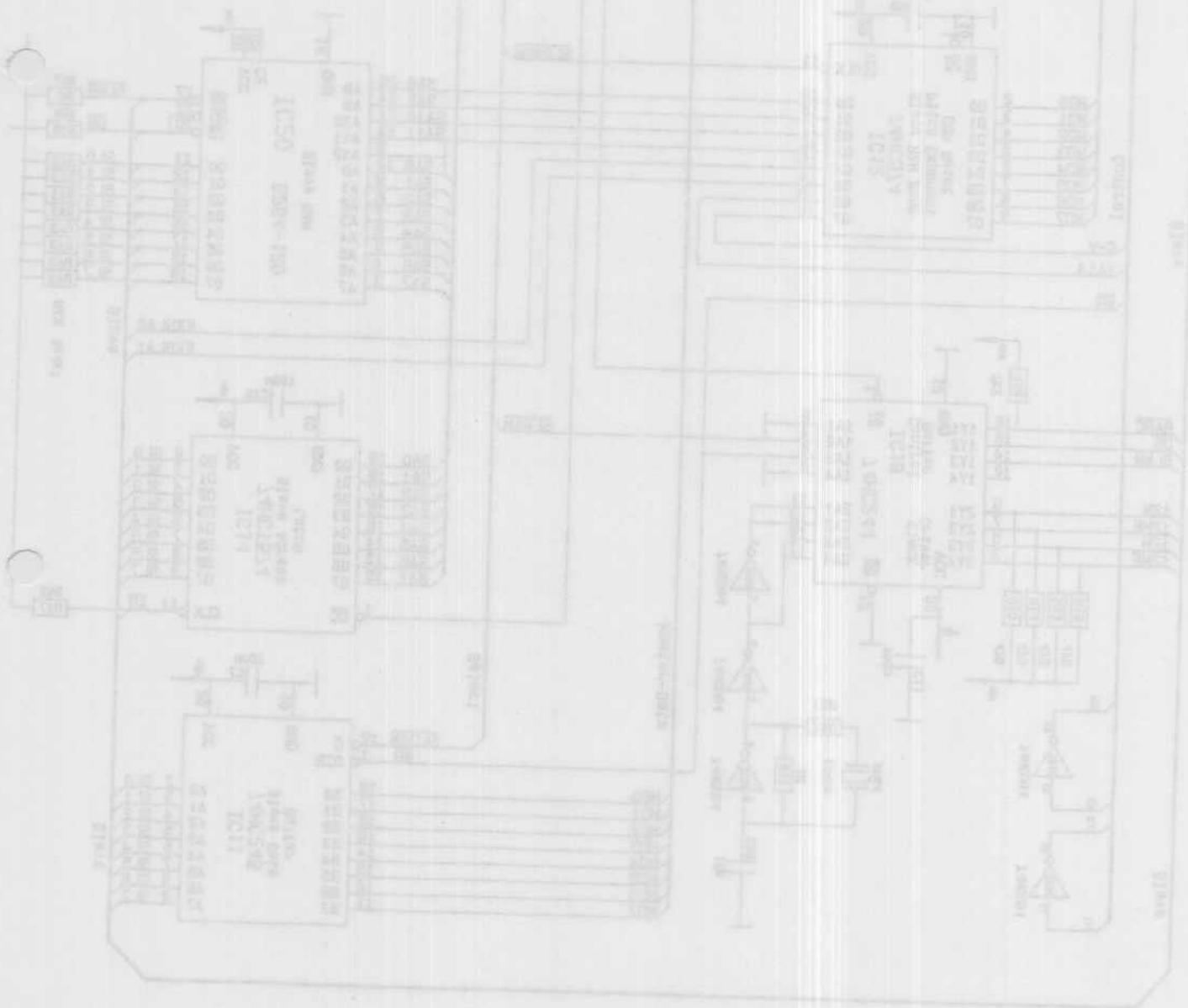


Abb. 13: Teilschaltbild der Platine mit Co-Prozessor

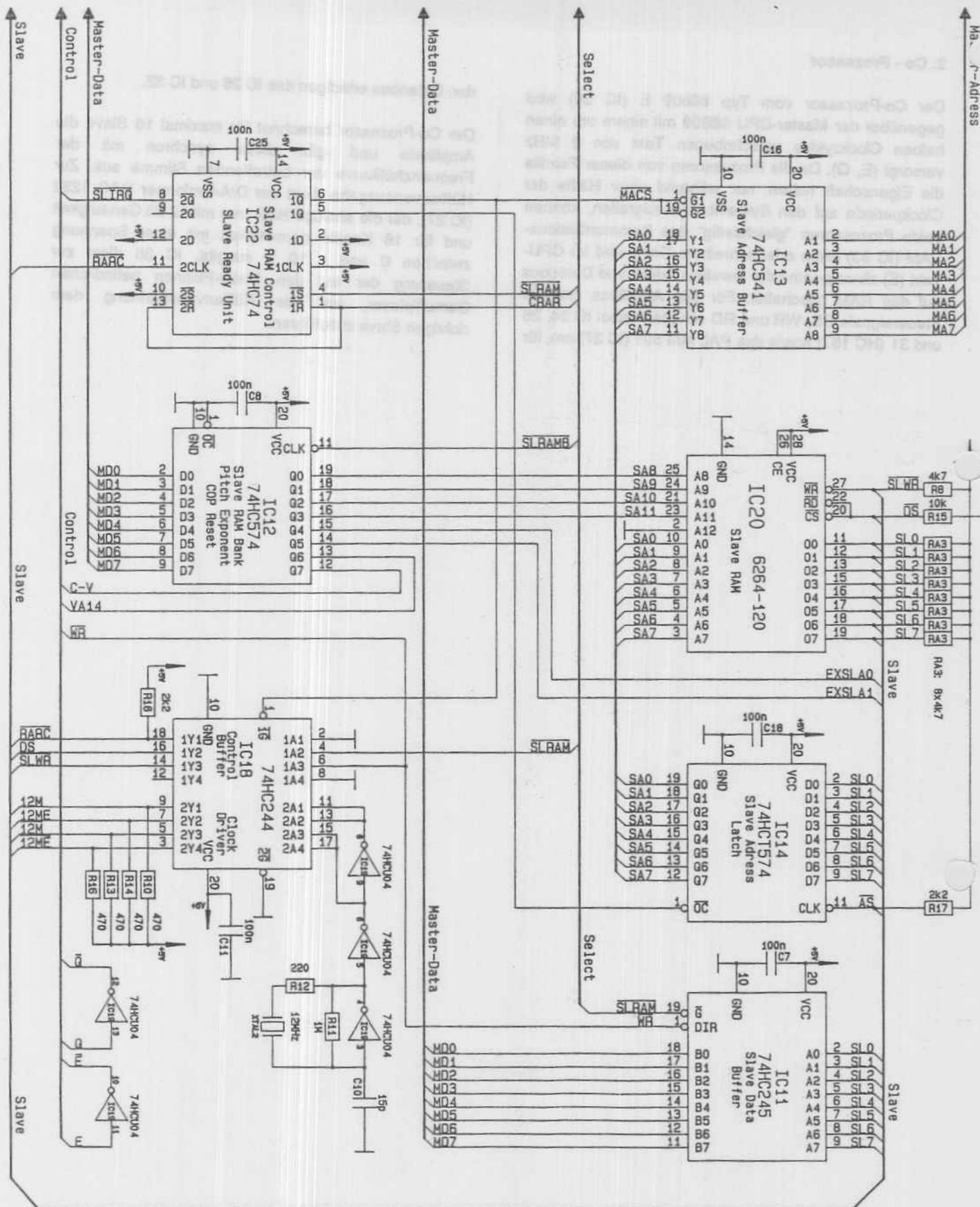


Abb. 13: Teilschaltbild der Platine MM 50 - Slave-Section

### 3. Slave-Section

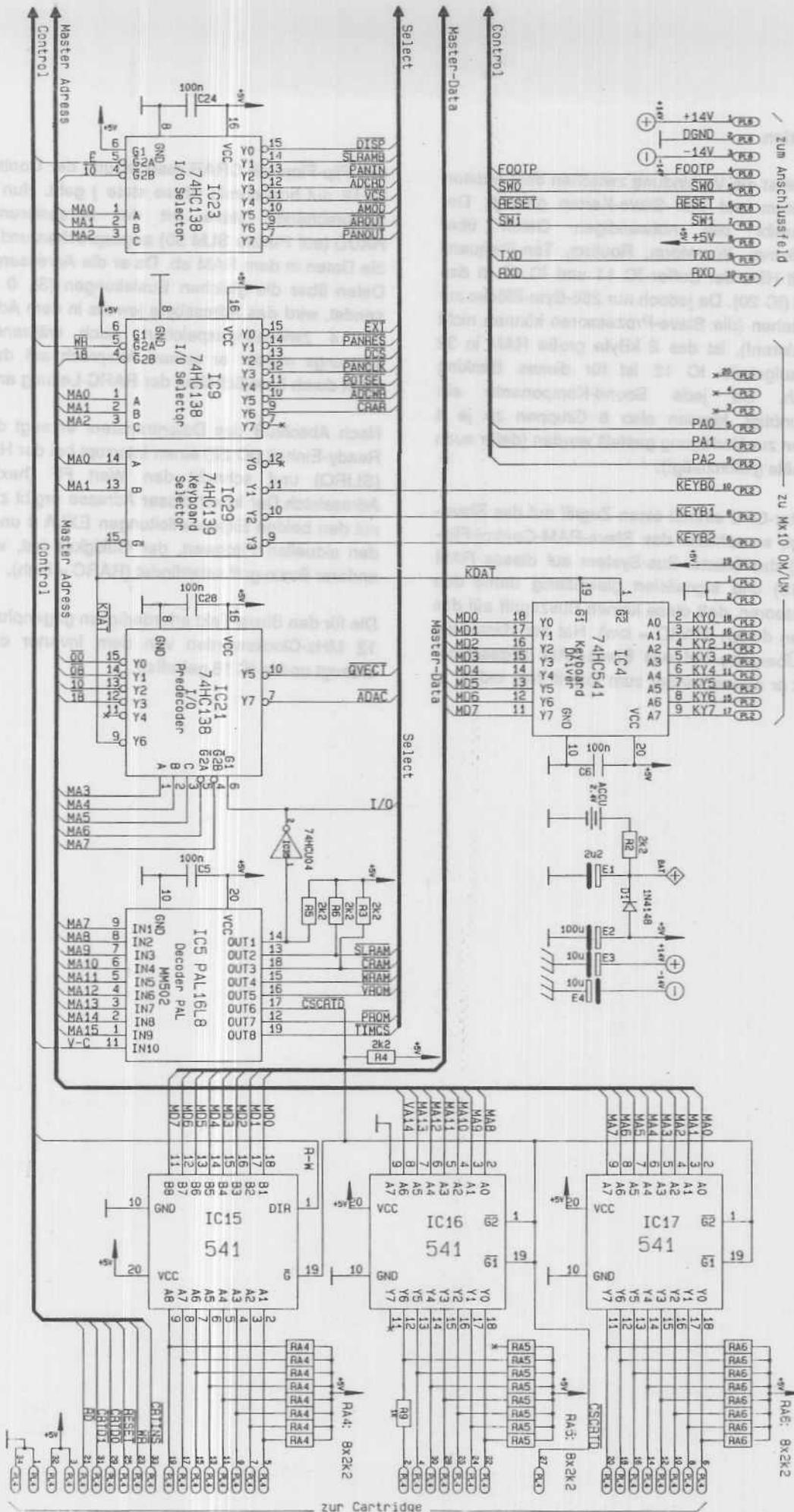
In diesem Teil ist die Verbindung zwischen dem Master-Prozessorsystem und den Slave-Karten gezeigt. Der Master schreibt alle notwendigen Daten über Frequenzhüllkurve, Waveform, Routing, Ton-Frequenz und Pitch mit Hilfe der Buffer IC 11 und IC 13 in das Slave - RAM (IC 20). Da jedoch nur 256-Byte-Blöcke zur Verfügung stehen (die Slave-Prozessoren können nicht mehr adressieren!), ist das 8 kByte große RAM in 32 Segmente aufgeteilt. IC 12 ist für dieses Banking verantwortlich. Da jede Sound-Komponente ein Segment benötigt, können also 8 Gruppen zu je 4 Komponenten zur Verfügung gestellt werden (dafür auch 8 MIDI - Kanäle gleichzeitig!).

Hat die Master-CPU einmal einen Zugriff auf das Slave-RAM getätigt, so schaltet das Slave-RAM-Control-Flip-Flop (IC 22) das Master-Bus-System auf dieses RAM (durch IC 18) und signalisiert gleichzeitig damit den Slave-Prozessoren, daß diese keinen Buszugriff auf das RAM machen dürfen (RARC = low). Hat der Master die Parameter-Übergabe auf das Slave-RAM abgeschlossen, so gibt er dieses wieder zum Zugriff frei, indem er

das Flip-Flop mit CRAR resettet und der Control-Buffer IC 18 auf hochohmig (three state) geht. Nun wird der entsprechende Slave mit der Adressierungsleitung RAUD (auf Platine SLM 50) angesprochen und holt sich die Daten in dem RAM ab. Da er die Adressen und Daten über die gleichen Busleitungen (SL 0 ... SL 7) sendet, wird das Adressbyte jeweils in dem Adresslatch IC 14 zwischengespeichert. Auch während dieses Vorgangs meldet er seinen Anspruch auf das Slave-RAM durch Low-Schalten der RARC-Leitung an.

Nach Abschluß des Datentransfers erzeugt die Slave-Ready-Einheit (IC 22) einen Interrupt bei der Haupt CPU (SLIRQ) und schreibt den Wert FF (hex) in das Adresslatch. Der Inhalt dieser Adresse ergibt zusammen mit den beiden Exponentenleitungen EXLA 0 und EXLA 1 den aktuellen Pitchwert, der Gültigkeit hat, wenn kein anderer Buszugriff stattfindet (RARC = high).

Die für den Slave-Takt erforderlichen gegenphasigen 12 MHz-Clockswerten von dem Inverter des IC 19 erzeugt und in IC 18 gebuffert.



Zum Anschlussfeld

zu HK 10 0M/LM

RA6: 8x2K2

zur Cartridge

Abb. 14: Teilschaltbild der Platine MM 50 - Decoder Cartridge/Keyboard



4 Decoder-Cartridge-Konzept

In diesem Teil des Plans werden die CS-Signale für die RAM-, ROM- und IO-Bereiche decodiert. Die Vorläufer-Übersicht ist im PAL 75M 505 (IO 2) zu sehen. Die ICs HC 158 (IO 2, 23) und HC 159 (IO 23) sind in diesem Teil des Plans ebenfalls dargestellt.

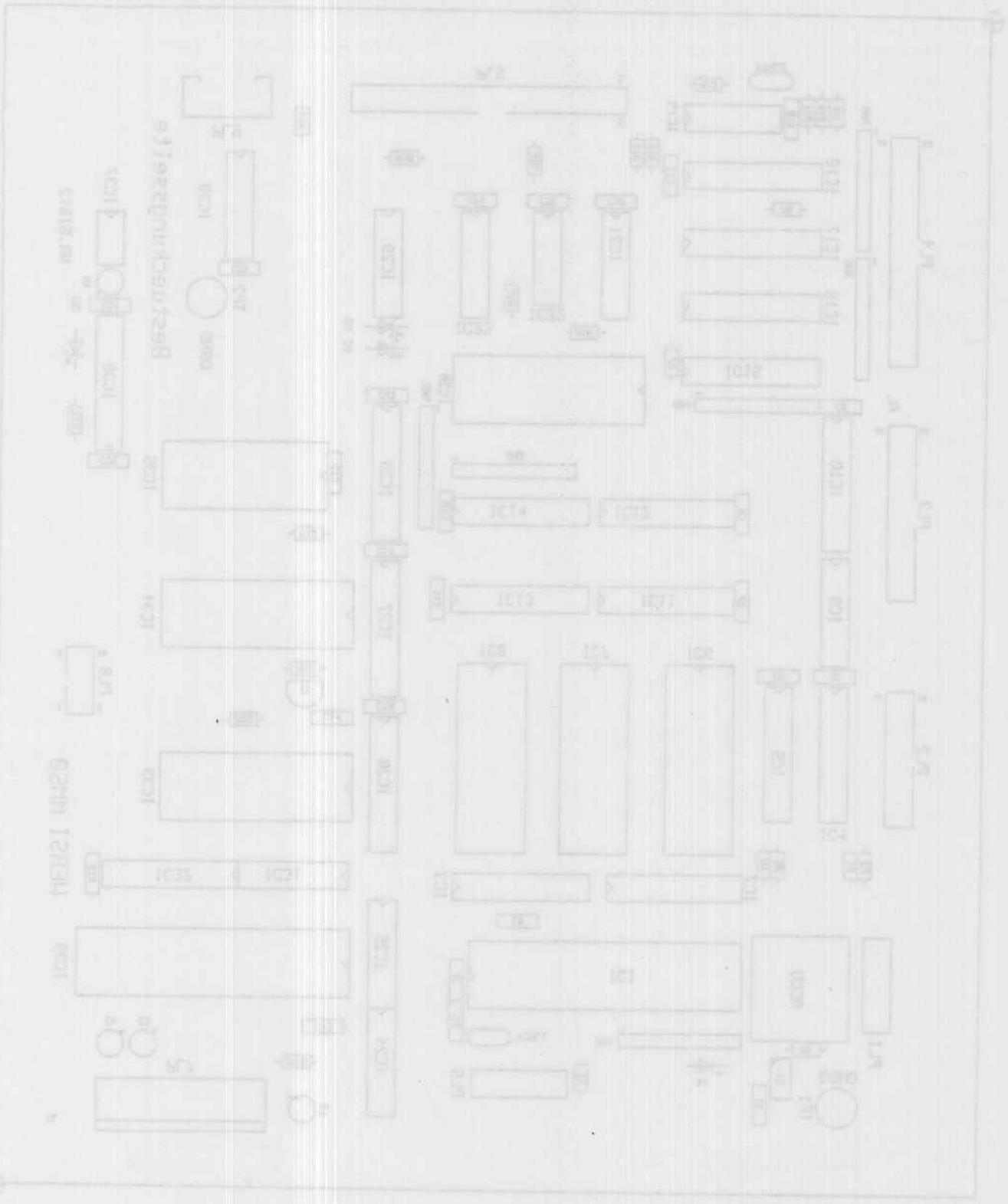


Abb. 13: Positionen der Pins 151-20

## VI. Erläuterungen zur Platine SLM 50

Die Platine SLM 50 enthält 8 identische Tonerzeugungsmodule, die in der Lage sind, eine Waveform mit festem oder mitlaufendem Formantcharakter unter Einbezug einer komplexen Frequenzhüllkurve auszugeben. Kern dieser Tonerzeugung ist ein Single-Chip-Mikrocomputer. Gesteuert wird dieser Baustein über den Datenverkehr, den er über seinen Port 1 mit dem Slave-RAM unterhält. Dieser Port ist während des Datentransfers als gemultiplexer Adress-Datenbus geschaltet und stellt ansonsten einen Eingangsport dar. Die Buskontrollleitungen AS und DS können mit Hilfe des 3-state-Treibers durch den uC selber hochohmig geschaltet werden. Die Bedeutung der Signale RAUD, ECLK, EXLA und RARC ist im Slave- bzw. Coprozessor-teil der Masterbeschreibung erklärt. Die Waveformausgabe erfolgt durch den Port 0 (Pin 13 ... 20) in den doppelstufig gebufferten 8 Bit D/A-Umwandlern DAC 0832. Der Wert gelangt jedoch synchron mit dem internen Timer des uC zur Ausgabe. Diese Timerflanken werden zuvor mit dem Exclusive-Or-Gatter 4070 zu Impulsen von konstanter Länge aufbereitet.

Als Referenz erhält der DAC die vom CO-Prozessor erzeugte Amplituden-Hüllkurvenspannung (ENV), welche mit dem Multiplexer 4051 und nachgeschalteten Sample-and-hold-Stufen (TL 084) aus dem gemultiplexten Hüllkurvensignal vom Master MM 50 demultiplext wird.

Die Taktfrequenz von 200 Hz wird mit der R/C-Kombination 1 kOhm/2,2 uF herausgefiltert.

Nun gelangt das Tonsignal zu dem zweiten Operationsverstärker, der wahlweise einen 80 Hz-Tiefpaß realisiert (Bright). Schließlich wird über den Ausgangs-Routingschalter der Audio-Weg über die vier möglichen NF-Sammelleitungen bestimmt. Wie ersichtlich, hat man nur 8 Möglichkeiten der Routing-Kombination, nämlich:

- links
- rechts
- Effekte
- Wersivoice (WV)
- links + rechts
- rechts + Effekte
- links + WV
- WV + Effekte

Mit IC 1 (HC 138) wird das RAUD-Signal erzeugt (siehe Beschreibung bei MM 50 - Coprozessor).

IC 2 (HC 138) erzeugt die ECLK-Signale, die einen synchronen Ablauf von Frequenz- und Amplitudenhüllkurve gewährleisten.

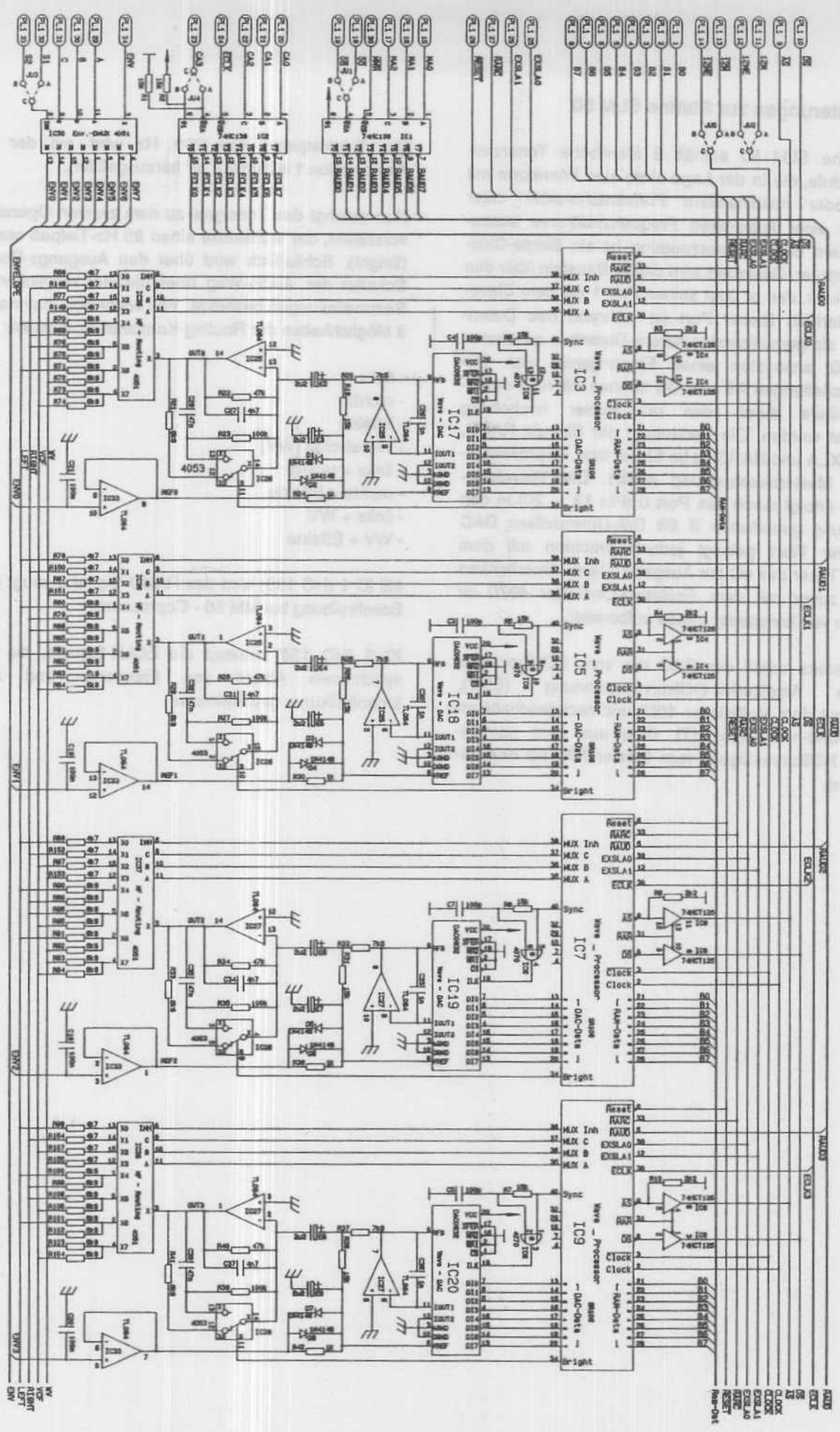


Abb. 16: Schaltbild der Platine SLM 50

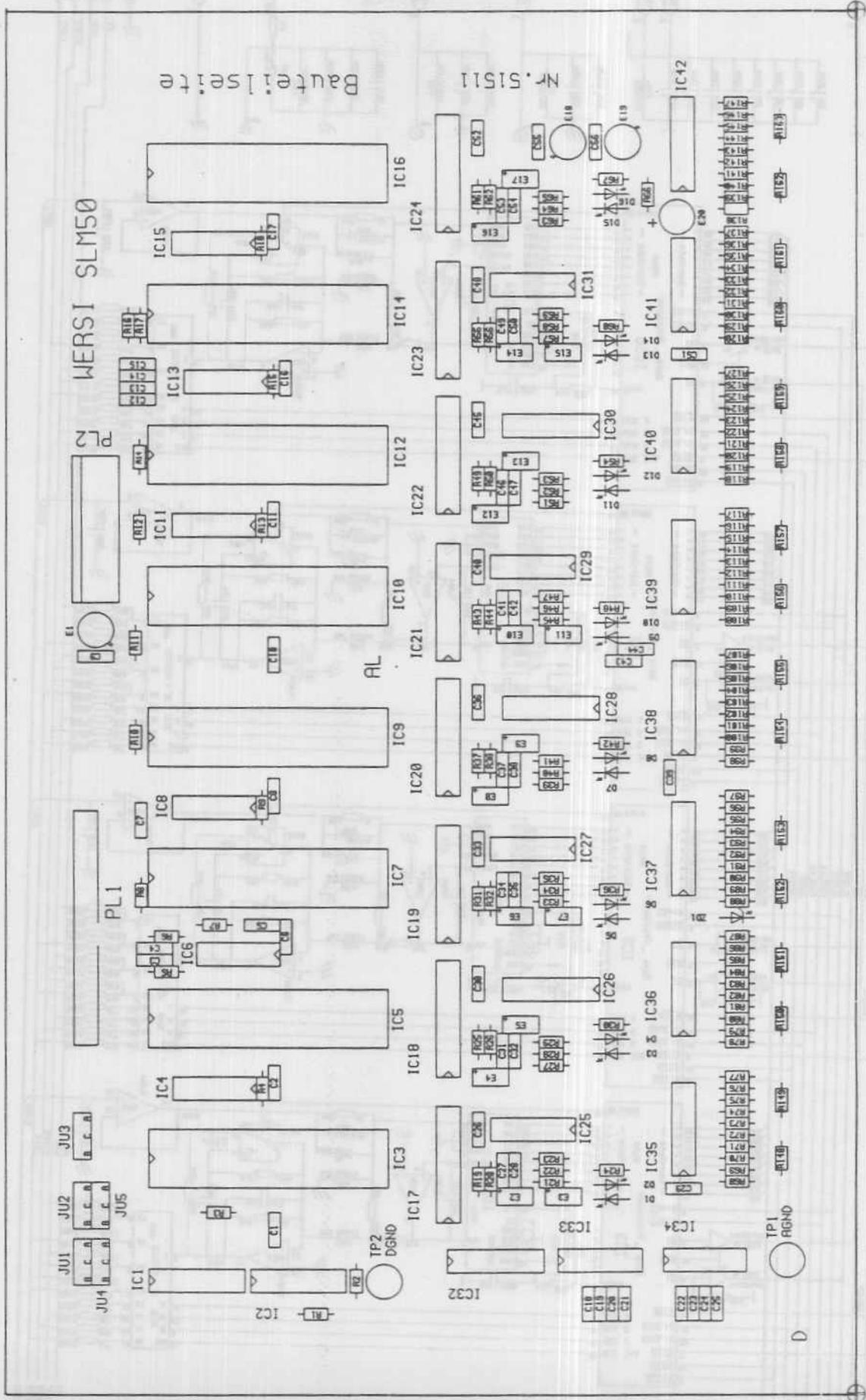
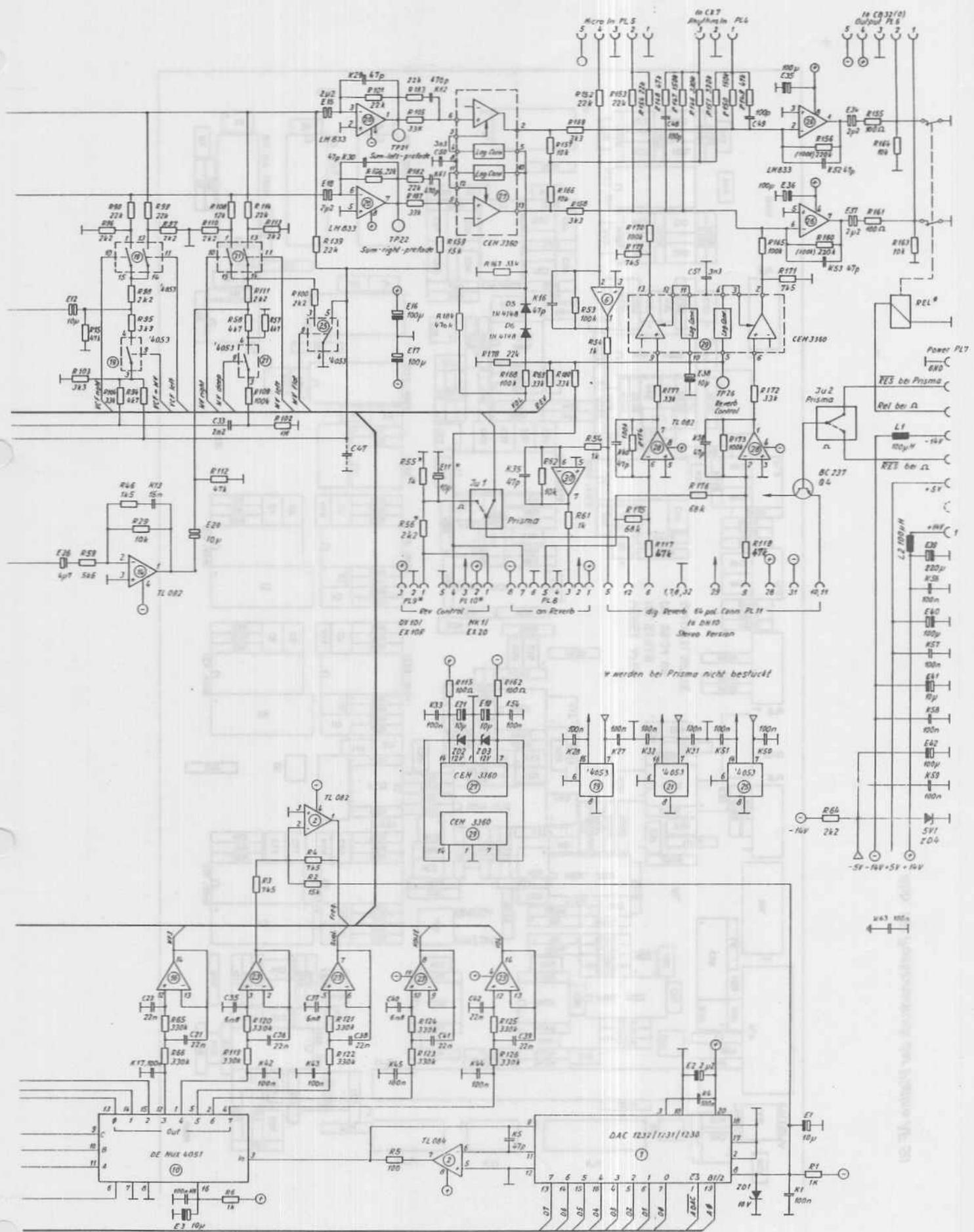


Abb. 17: Positionsdruck der Platine SLM 50





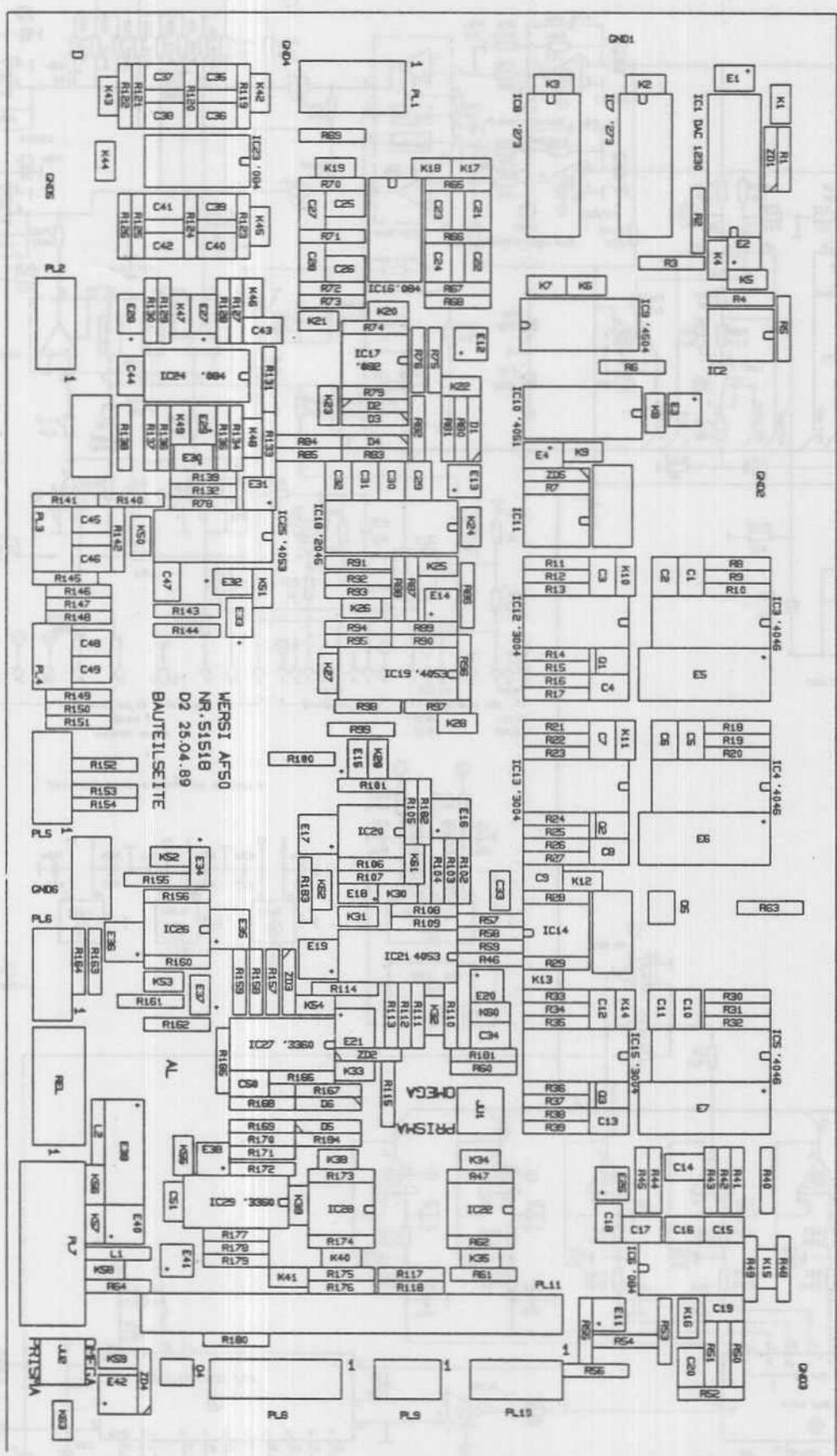


Abb. 19: Positiondruck der Platine AF 50

## VII. Erläuterungen zur Platine AF 50

Oben links erkennen wir die vier Eingangsverstärker IC 24 - die IC-Nummern sind eingekreist - für die Slave-Signale, die über PL 2 "hereinkommen".

Das für WERSIVOICE (WV) bestimmte Signal gelangt über eine Tiefpass-Stufe (IC 6) zu den Eingängen der drei "Eimerketten"-ICs (IC 12, 13, 15). Diese verzögern das Signal in Abhängigkeit von der Clock-Frequenz, die sie von den spannungsgesteuerten Oszillatoren (VCO) erhalten (IC 3, 4, 5). Die drei verzögerten Signale werden in IC 14 addiert und gehen wiederum durch ein Tiefpass-Filter (IC 6).

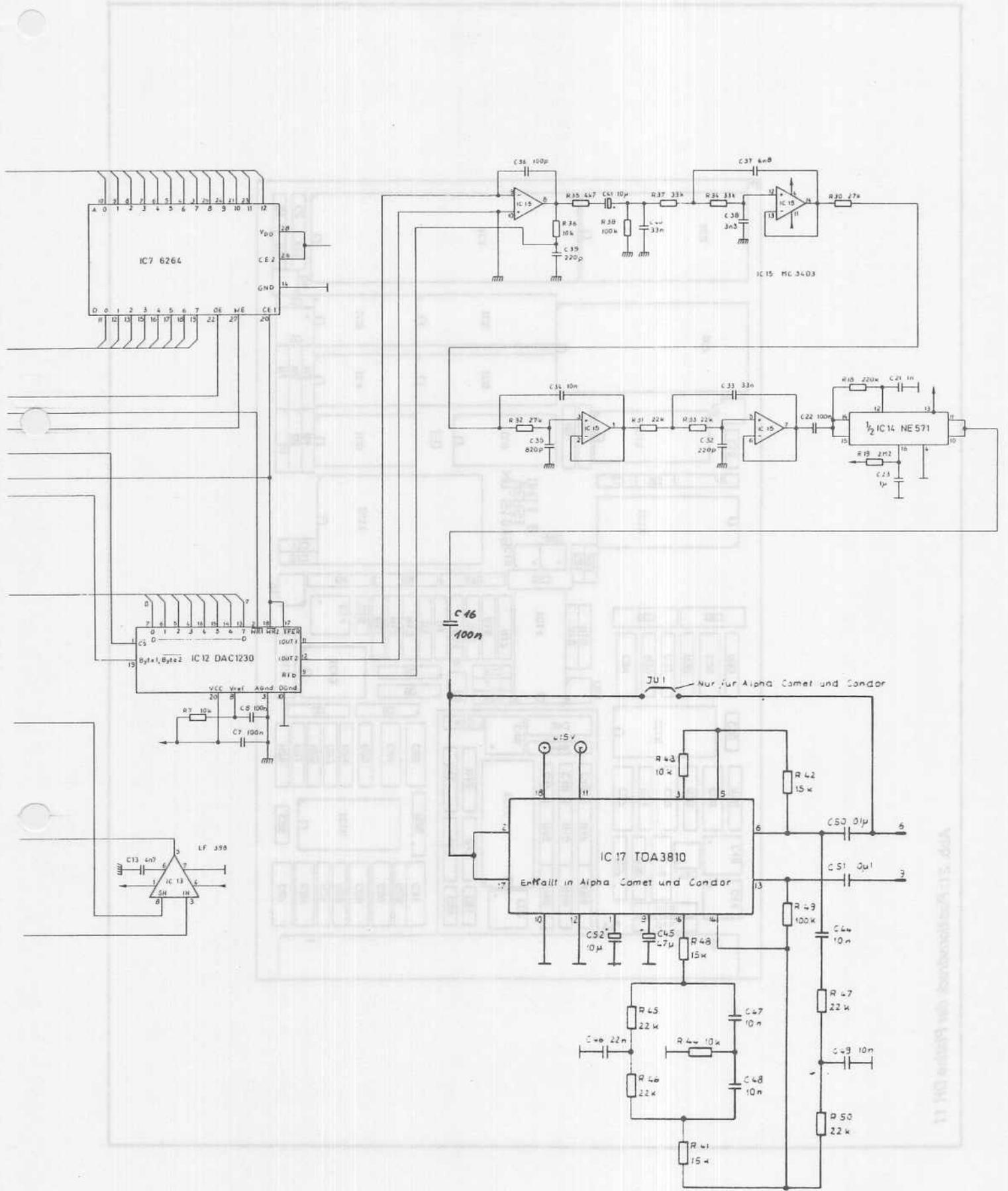
Das für VCF bestimmte Signal gelangt über die Verzerrerschaltung IC 17; D 2, 3, 4; IC 18) zur Filtereinheit des IC 18 oder direkt zum Eingang des VCF-Bausteins (IC 18, Pin 2), dem noch ein Rauschsignal (aus IC 11) beigemischt werden kann. An den beiden Ausgängen des VCF steht ein mit 12 dB / Oktave bzw. 24 dB/Oktave gefiltertes Tiefpass-Signal an. Dieses kann nun auf den linken oder rechten Summierverstärker (IC 20) oder auf das WERSIVOICE geschaltet werden (IC 19).

Alle Ausgangssignale von WV, VCF oder Direktlinks/rechts werden in IC 20 aufaddiert und dem spannungsabhängigen Verstärkerbaustein IC 27 zugeführt, der in Abhängigkeit von der Steuerspannung "VCA Control" die Lautstärke des Signals bestimmt.

Die Signale, die zusätzlich über Hall gehen sollen, werden in IC 6 (Pin 1, 2, 3) gesammelt und gelangen an die Hall-Anschlüsse PL 11 bzw. PL 8. Das verhaltene Signal (stereo) läuft über IC 28 und IC 29 (der die Hall-Lautstärke regelt) zur Ausgangsstufe (IC 26).

Alle Abläufe auf der AF 50 steuert der Masterprozessor auf der Platine MM 50 über den Anschluß PL 1. Die Ansteuerung der Analogschalter (IC 19, 21, 25) wird in IC 7 und IC 8 gespeichert. Die kontinuierlichen Steuerspannungen werden in IC 1 gemultiplext erzeugt und in IC 10 aufgesplittet. In den darauffolgenden Filterstufen wird die Multiplex-Taktfrequenz herausgesiebt.

Man beachte, daß einige Analogschalter, z. B. IC 19 oder IC 21, nur bei einer gedrückten Taste und nur bei dauernd gehaltenem Ton (ein ausgeklungener Pianoton zählt als aus!) eingeschaltet sind.



App. 5.1: Verstärkerbauform für PDA-11

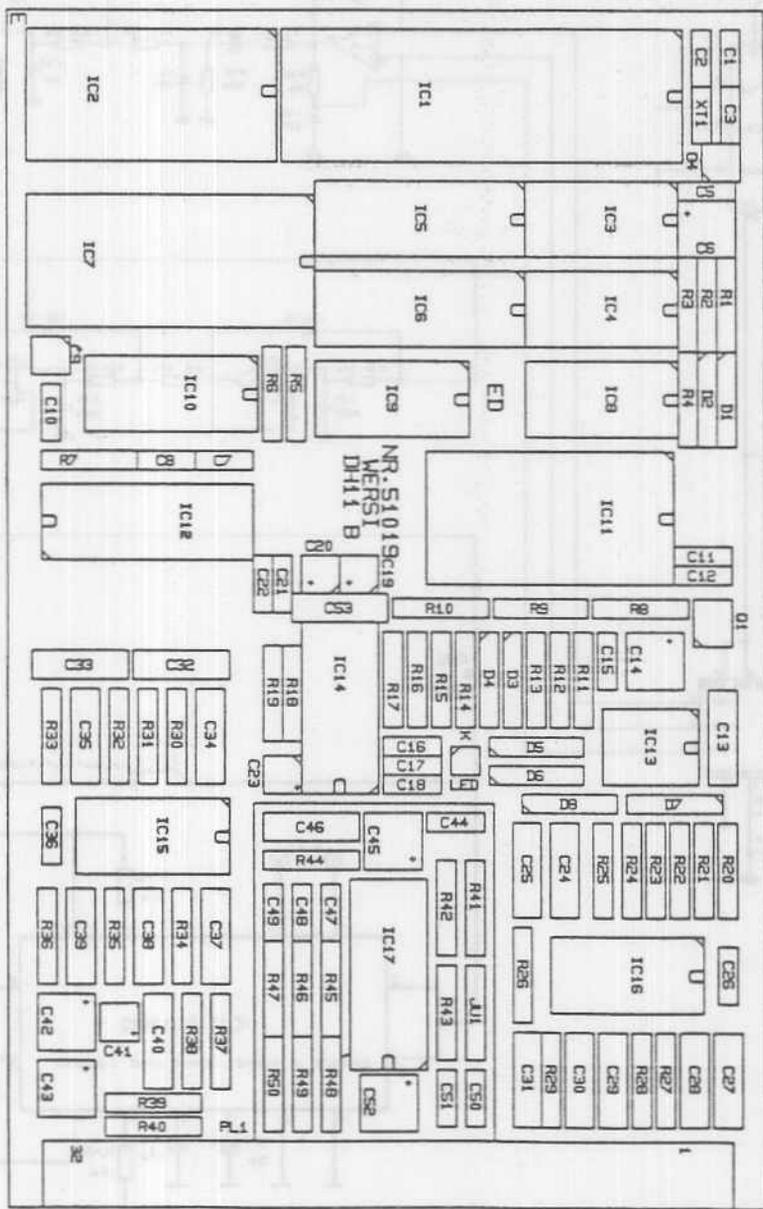


Abb. 21: Positiondruck der Platine DH 11



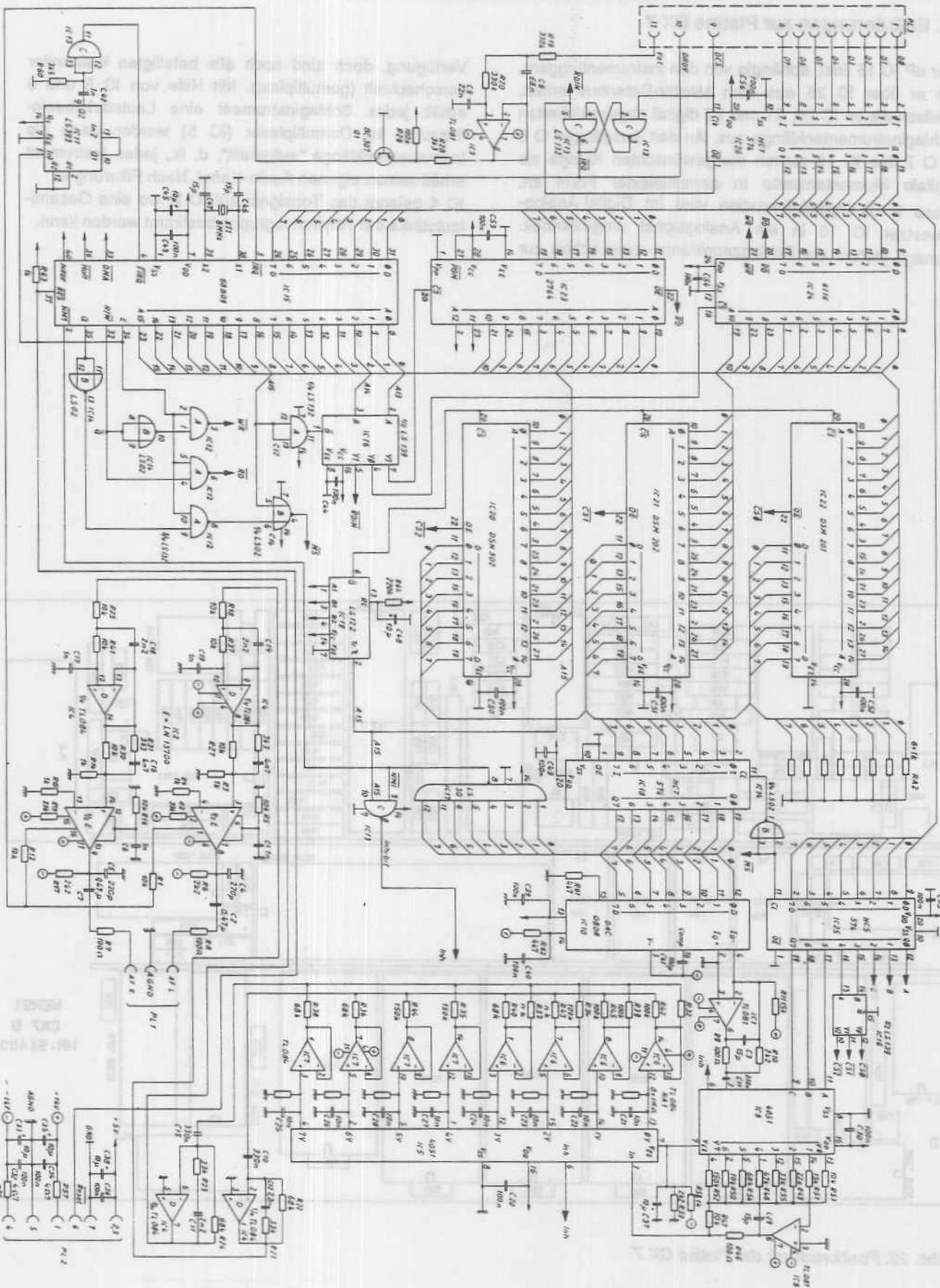


Abb. 23: Schaltbild der Platine CX 7

## X. Erläuterungen zum Verstärker PA 50

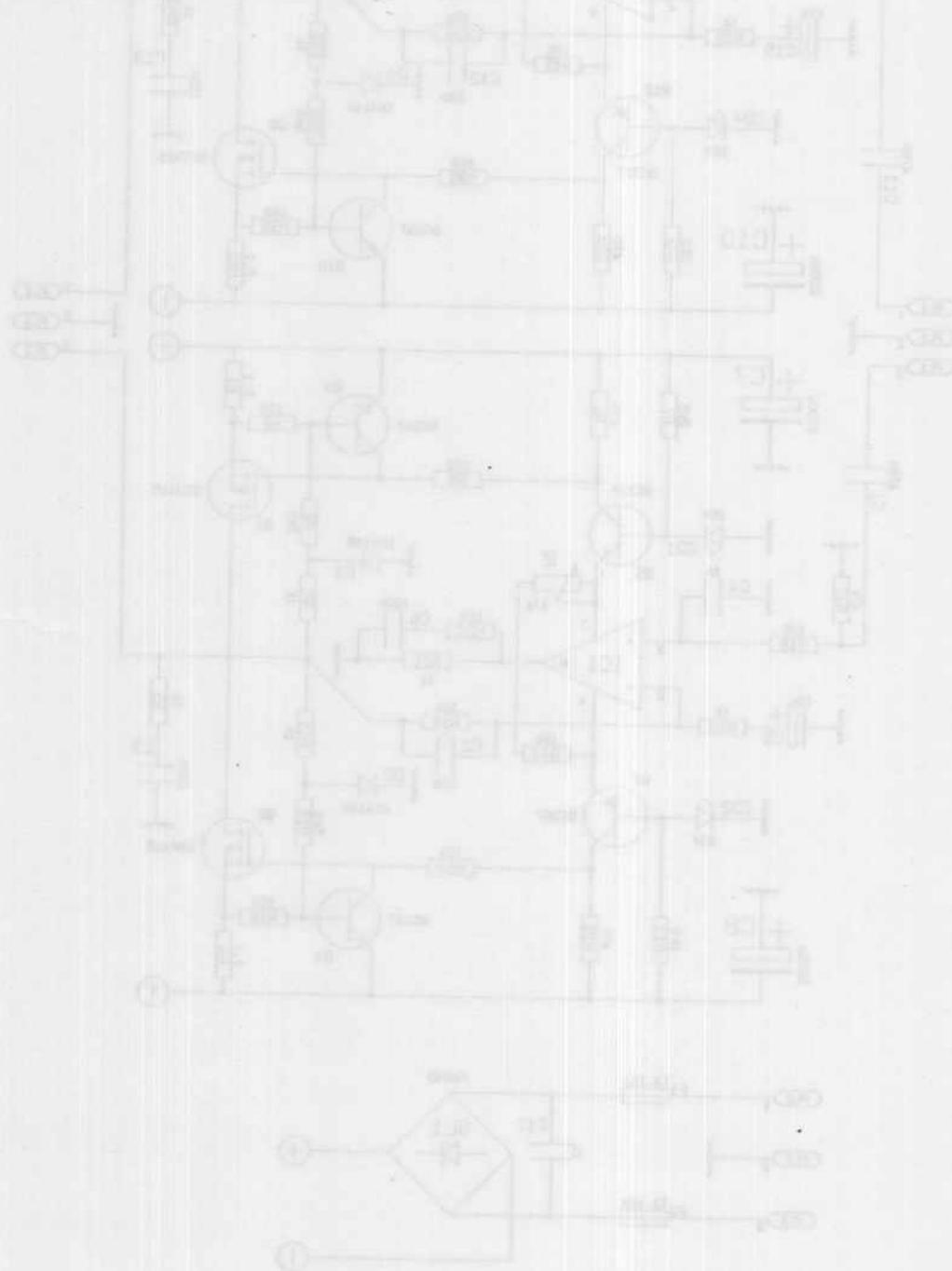
Die Leistungs-FETs Q 7, 8 bzw Q 1, 2 werden von dem vom Versorgungsstrom des Opamps abhängigen Spannungsabfall an R27/34 gesteuert. Liegt kein Nutzsignal am Eingang an, so fließt über diese Widerstände der Ruhestrom des Opamps und stellt mit der so erzeugten Gate-Spannung den Ruhestrom der FETs ein.

Wird das Eingangssignal positiv, so steigt auch der Strom in der +Versorgung und der daraus resultierende größere Spannungsabfall an R 27 steuert den FET Q 7

weiter auf, so daß auch die Ausgangsspannung steigt. Das gleiche geschieht bei negativer Eingangsspannung mit Q 8.

Mit der Gegenkopplung R 31/39 ist die Gesamtverstärkung auf 10 festgelegt.

Die 15 V Z-Dioden mit nachgeschaltetem Transistor erzeugen eine geregelte Versorgungsspannung für die Opamps, und mit Q 9/10 wird eine Strombegrenzung erreicht.



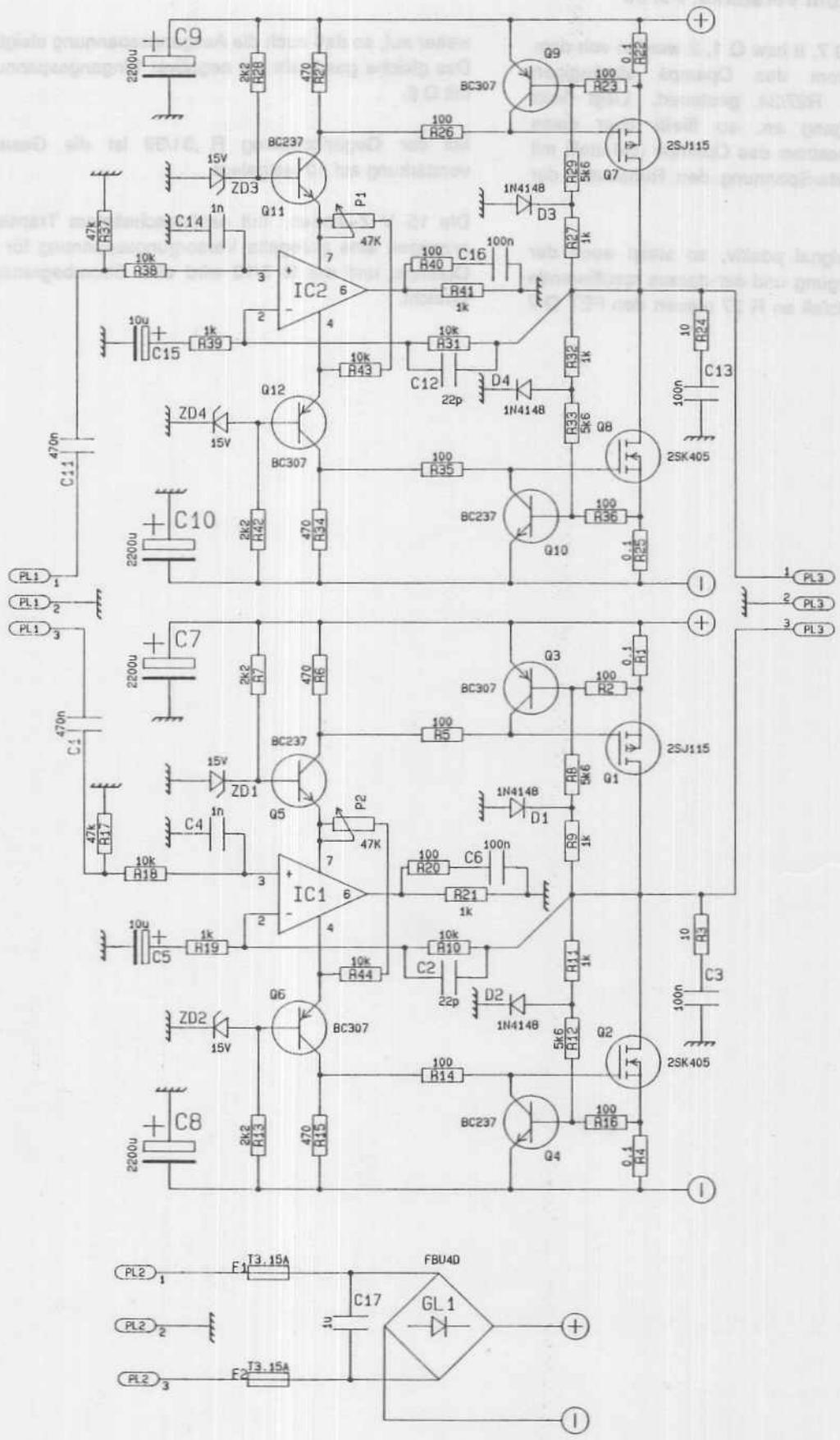


Abb. 24: Schaltbild der Platine PA 50

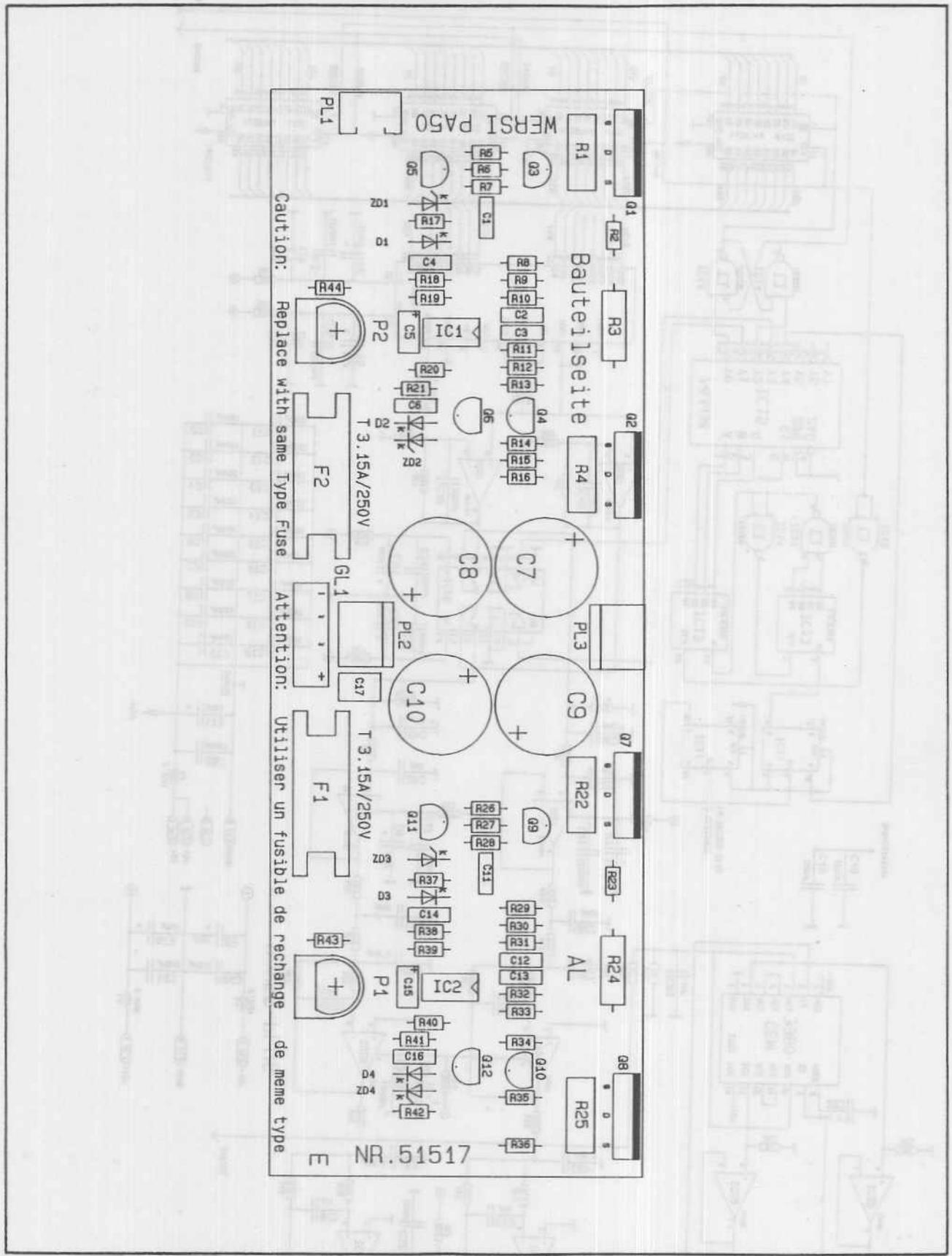


Abb. 25: Positionsdruck der Platine PA 50

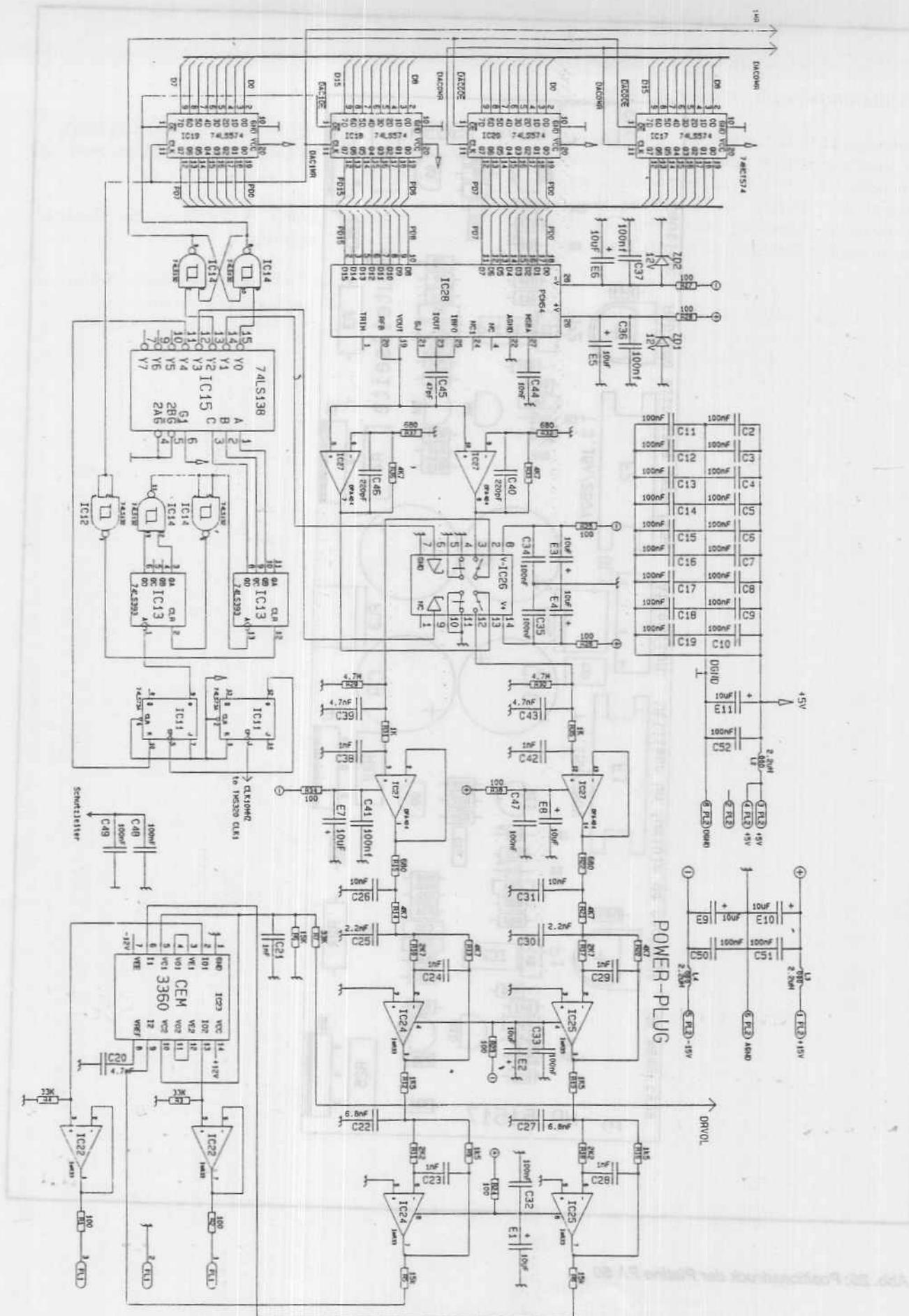


Abb. 26: Schaltbild der Platine CX 32 (Rhythmus)

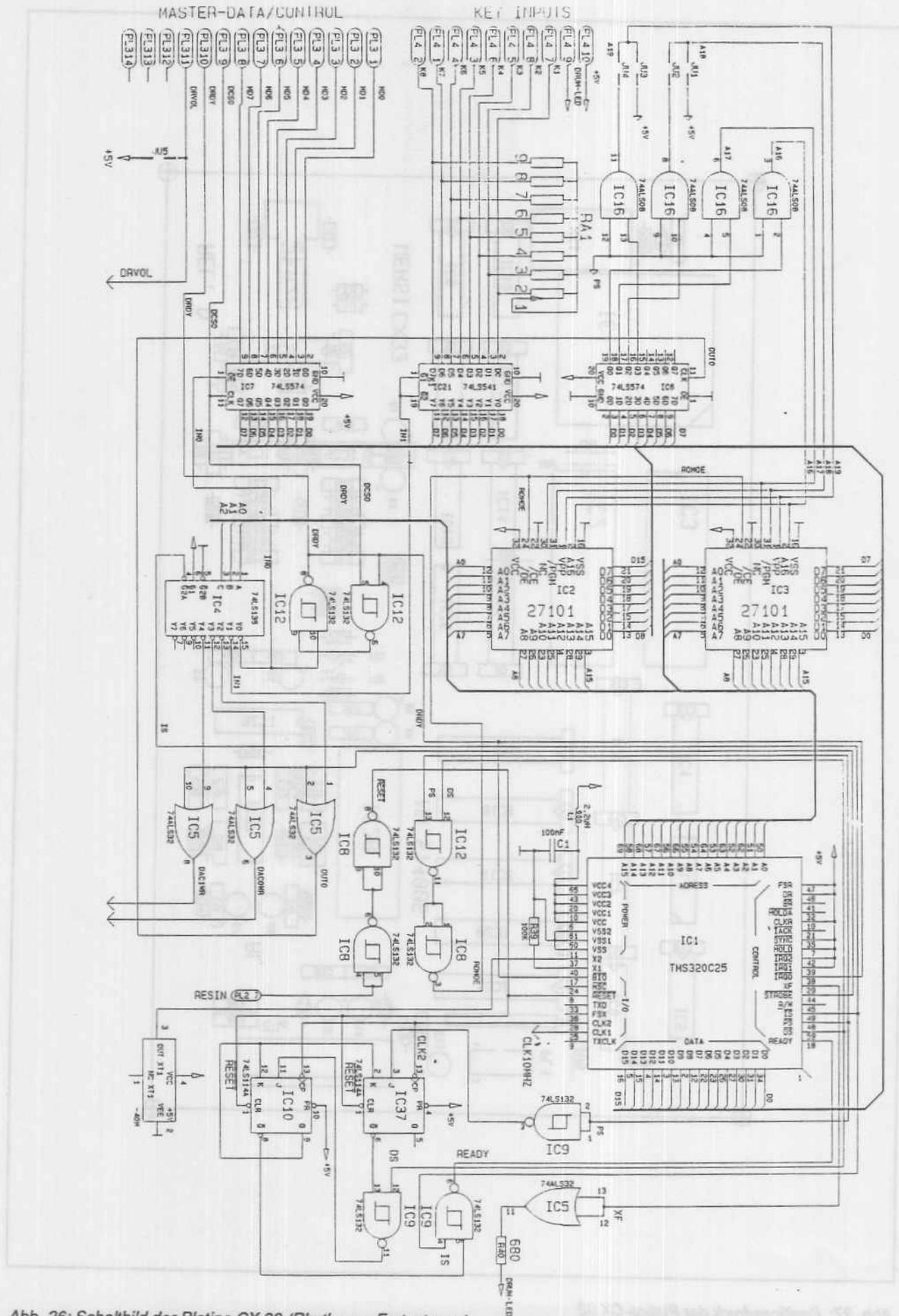


Abb. 26: Schaltbild der Platine CX 32 (Rhythmus, Fortsetzung)

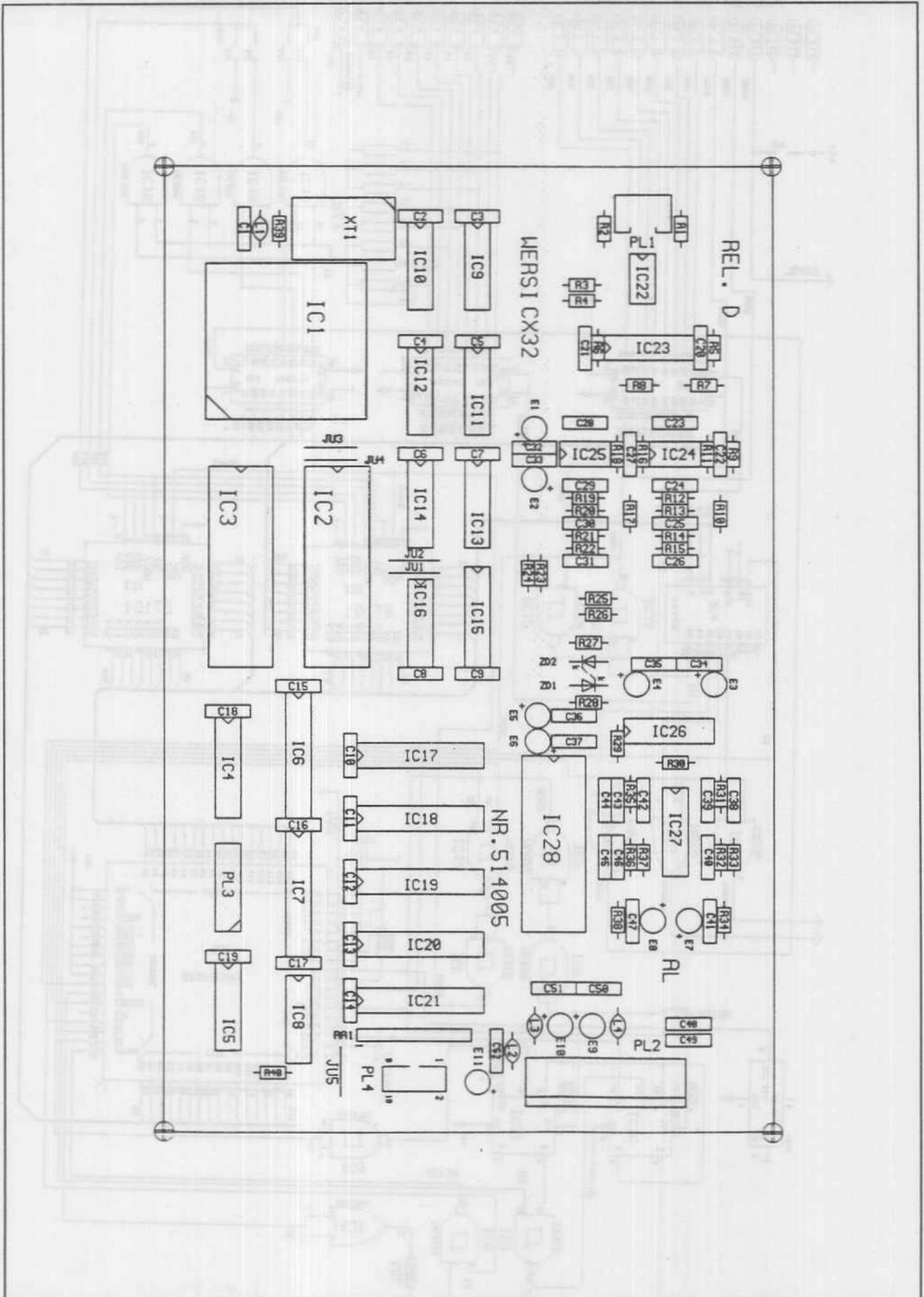


Abb. 27: Positionsdruck der Platine CX 32

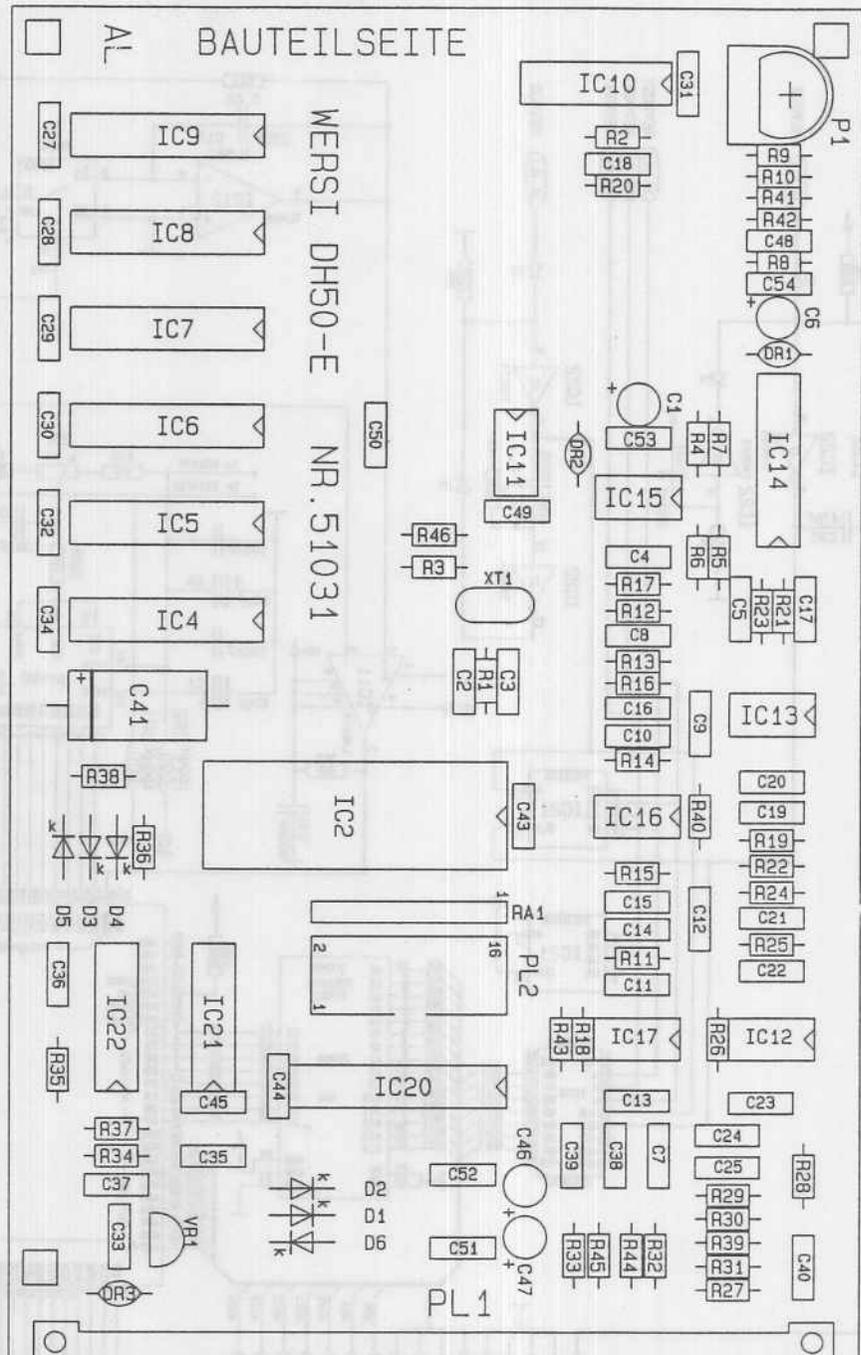


Abb. 28: Positionsdruck der Platine DH 50



# SCHALTBILD DH50 TEIL 2

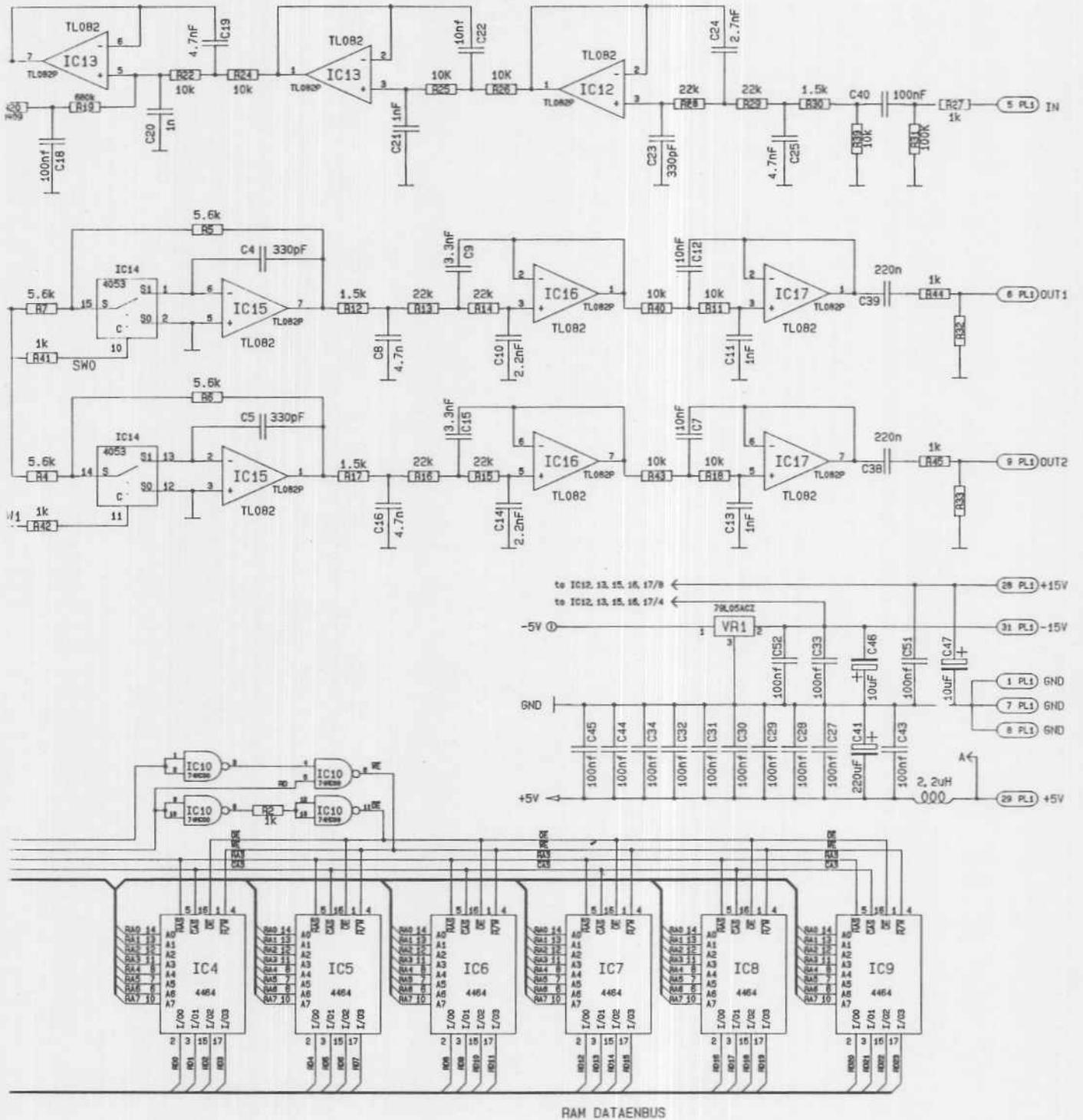


Abb. 29: Schaltbild der Platine DH 50 (Digitalhall, Fortsetzung)

SCHALTBILD DMSO-TEIL 2

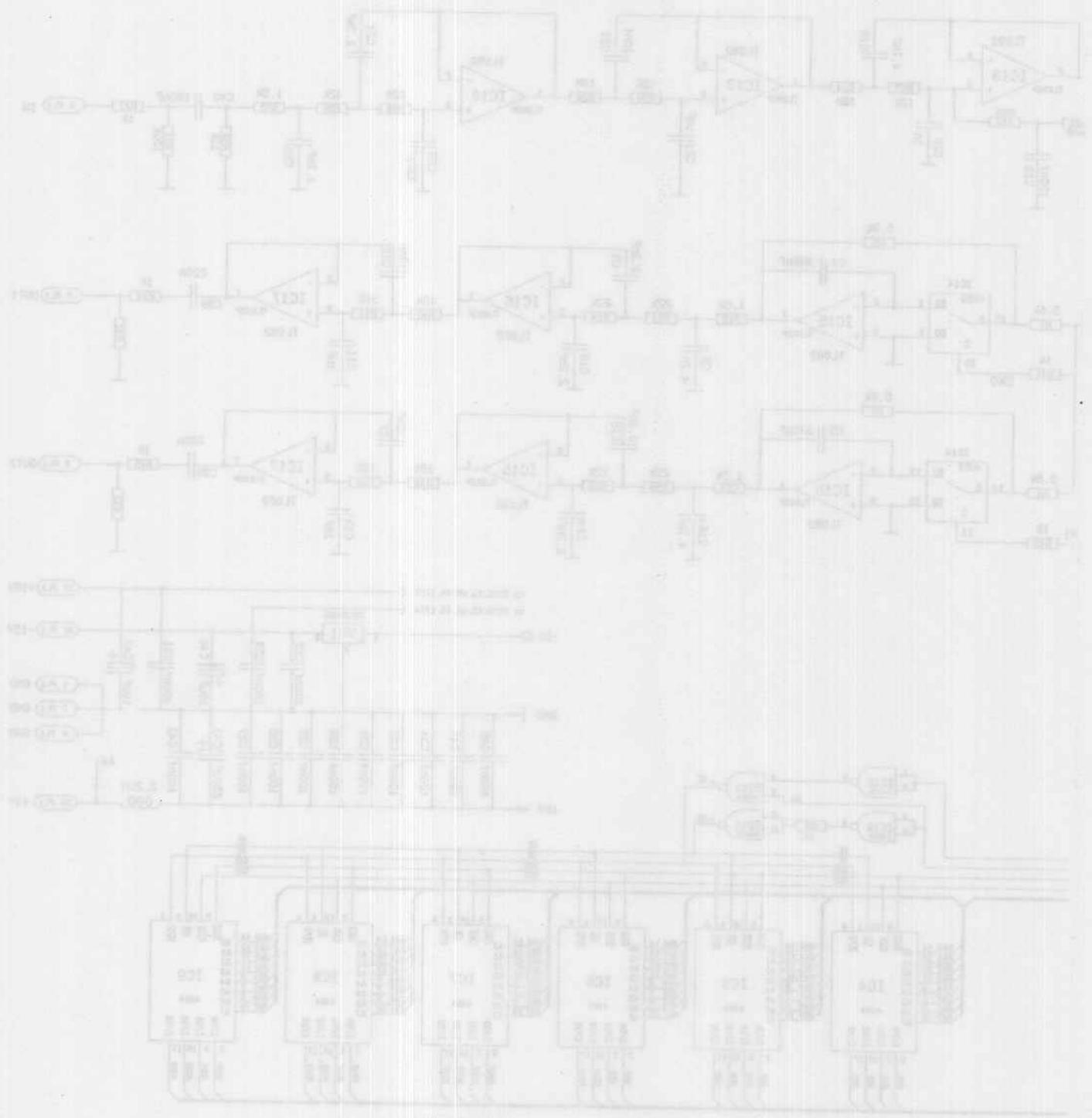


Abb. 20: Schaltbild der Fühler-CH 20 (Original-Forschung)

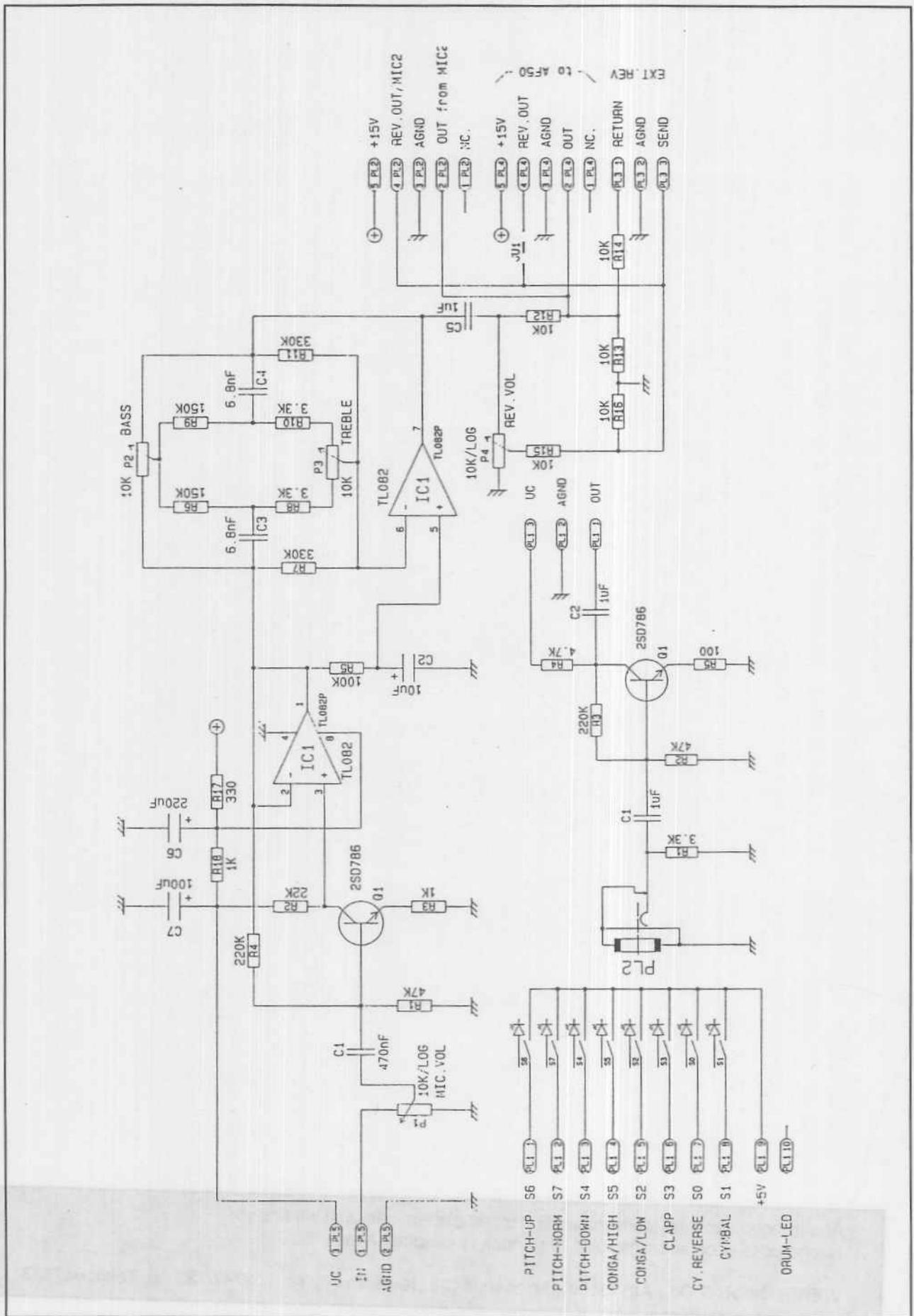
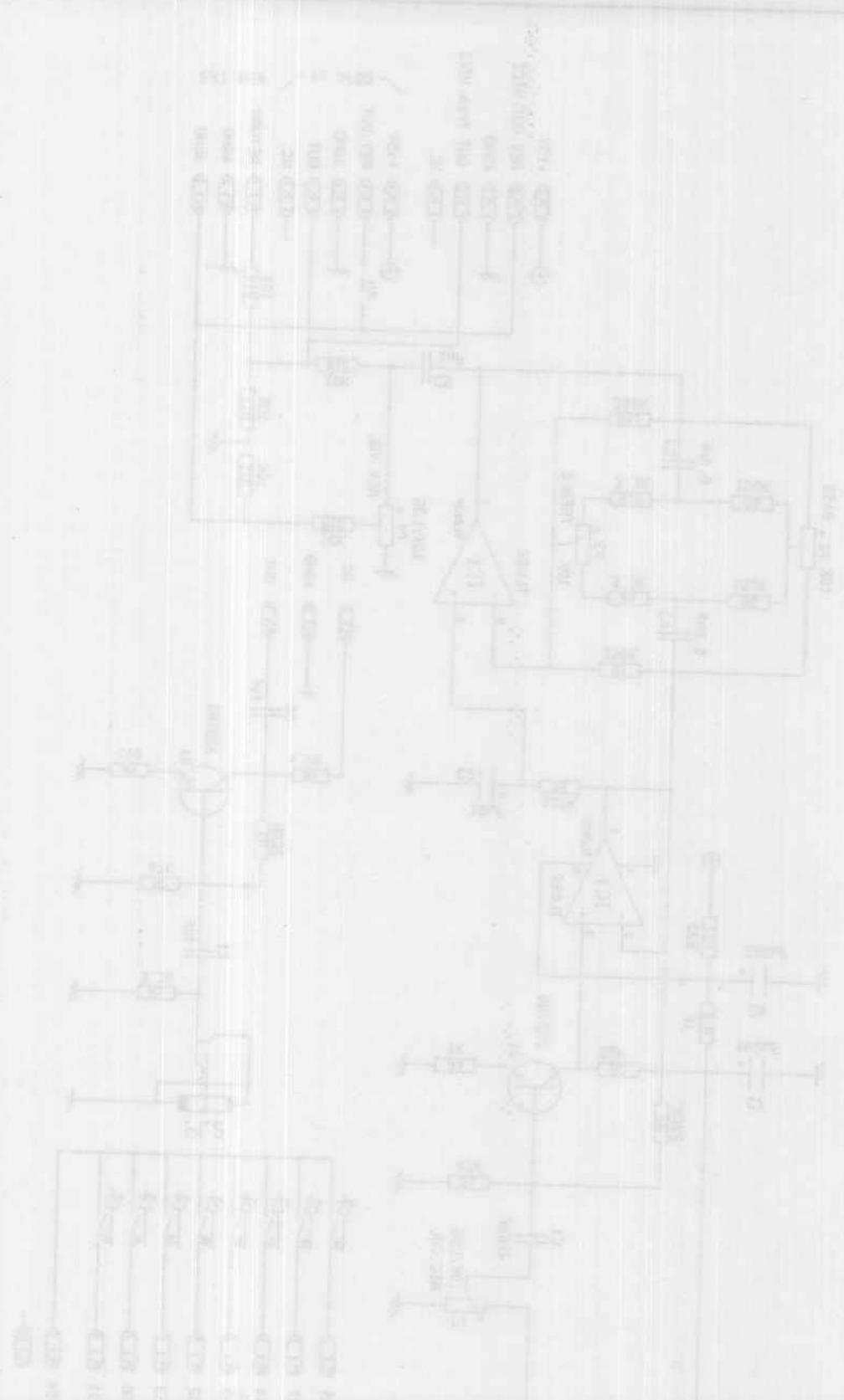


Abb. 30: Schaltbild der Platinen MP 20 und MP 21 (Mikrofonverstärker)



Änderungen, die dem technischen Fortschritt dienen, behalten wir uns vor.  
 Nachdruck - auch auszugsweise - nur nach Rücksprache mit uns.

WERSI GmbH & Co., Am Eichelgärtchen, 5401 Halsenbach, Tel.: 06747/123 - 0, Telex 042323



